

HF-Entwurfstechnologie für IP-basierte höchstintegrierte Front-End Lösungen für Multi-Standard Endgeräte in der Mobilkommunikation

Reimund Wittmann, Mohsen Darianian, Hans-Joachim Strobel*, Christian Münker**,
Walter Hartong***, Franz Rößler****, Irina Munteanu****
Nokia GmbH, Bochum, *Atmel Germany GmbH, Heilbronn
Infineon Technologies AG, München, *Cadence Design Systems GmbH, München,
****Melexis GmbH, Erfurt, *****CST GmbH, Darmstadt

Kurzfassung

Das BMBF-Projekt DETAILS (Nr. 01M3071) konzentriert sich auf den Aufbau einer effizienten Entwurfstechnologie für wiederverwendbare hochintegrierte Hochfrequenz-Schlüsselkomponenten in zukünftigen hochkomplexen mobilen Kommunikationssystemen für Trägerfrequenzen bis 60 GHz. Der Anwender erwartet zuverlässige und kostengünstige Multi-Standard Endgeräte und Dienste mit hohem Gebrauchswert. Diese können mit den heutigen Entwurfsverfahren für Anwendungen wie z. B. das zukünftige mobile Internet noch nicht bereitgestellt werden. Wichtig ist die Absenkung der Entwicklungszeit bei gleichzeitiger Erhöhung der Planungssicherheit. Dazu gehören neue Entwurfsabläufe und Modellierungsverfahren zur sicheren Systemkonzipierung. Dieser Beitrag gibt eine Übersicht der einzelnen Arbeitsgebiete in diesem Projekt.

Einleitung

Der weltweit steigende Bedarf an mobilen Kommunikationsdienstleistungen erfordert den immer schnelleren Austausch von Informationen über bandbegrenzte Übertragungswege (terrestrisch, drahtgebunden, optisch). Anwendungsgebiete liegen beispielsweise in der Telekommunikation, dem Entertainment, der Gebäudeautomation und in zunehmendem Maße auch in der Medizintechnik. Zur Ausnutzung der zur Verfügung stehenden Übertragungsbandbreite bedarf es hochkomplexer Modulationsverfahren und Systemarchitekturen. Die hohe Zuverlässigkeit, die niedrigen Kosten und der geringe Energiebedarf (Batteriebetrieb) dieser Architekturen sind hier von besonderer Bedeutung. Daraus entstehen neue Herausforderungen an den Systementwurf, die mit den heutigen Entwurfswerkzeugen noch nicht bewältigt werden können.

Die für diese Anwendungen notwendigen komplexen, hochintegrierten Hochgeschwindigkeits-Datenübertragungssysteme (HDÜ-Systeme) mit sehr hohen Übertragungsraten lassen sich heute nur mit Hilfe von maßgeschneiderten EDA-Werkzeugen entwickeln. Rasante Entwicklungsschritte sowohl bei den Fertigungstechnologien als auch bei den Konzepten für neue Übertragungsverfahren mit immer höheren Datenraten und Trägerfrequenzen (Bild 1) erfordern das stetige Überdenken etablierter Entwurfsabläufe und Entwurfsmethoden. Zukünftige HDÜ-Systeme müssen für

die jeweilige Applikation einen optimalen, d. h. kostengünstigen Zugriff auf Daten, bei höchstem technischem Stand bereitstellen. Unterschiede in Datenraten, Frequenzallokation und applikativer Umgebung führen zu unterschiedlichsten Lösungsansätzen, deren Vielfalt und Komplexität durch die Forderung nach Terminlösungen mit Multisystemzugriff weiter gesteigert wird. Ein solches Anforderungsprofil erzwingt höchstintegrierte Lösungen. Für die Entwicklung derartiger Systeme steht auf Grund kürzer werdender Produktzyklen immer weniger Zeit zur Verfügung.

Die technologische Herausforderung liegt in der Vielzahl der vorhandenen und untereinander verkoppelten Probleme: wachsende Systemkomplexität mit einer unüberschaubaren Vielzahl von Partitionierungsmöglichkeiten (Multi-Standard mit Selbsttest und Selbstabgleich), den anwachsenden Signalbandbreiten, dem höheren Integrationsgrad bei niedrigeren Versorgungsspannungen mit Sicherstellung der Signalintegrität und den komplexeren Prozesstechnologien mit ihren wachsenden statistischen Parameterschwankungen und dadurch komplexere Modelle für Bauelemente und Parasitics.

Das Projektziel des Vorhabens DETAILS ist der Aufbau einer effizienten Entwurfstechnologie für wiederverwendbare hochintegrierte Hochfrequenz-Schlüsselkomponenten (Antennenschnittstelle) in zukünftigen hochkomplexen mobilen Kommunikationssystemen.

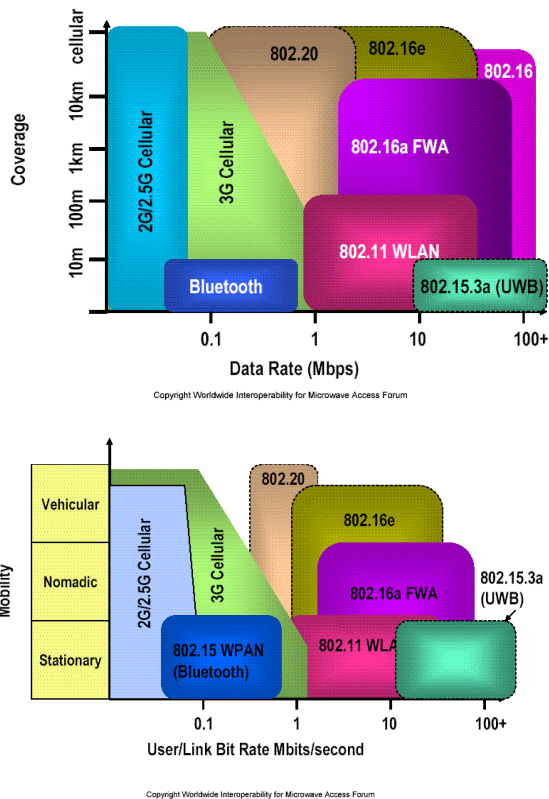


Bild 1: Übersicht aktueller Wireless- Standards [1]

Diese soll einerseits die Entwicklungszeit deutlich absenken und andererseits die Planungssicherheit erhöhen. Dadurch wird dem Time-to-Market Gedanken Rechnung getragen und darüber hinaus das durch Marktanalysen ermittelte optimale Zeitfenster für eine Produkteinführung bedienbar. Zentraler Punkt ist die Bereitstellung von neuen Verfahren zur präzisen Systemplanung und Konzeptionierung in einem geschlossenen automatisierten Entwicklungsablauf, der deutlich mehr Design-Freiheitsgrade und zusätzliche hierarchische Entwurfsebenen unterstützt, als bisher bekannte Verfahren. Mit besonderer Berücksichtigung der Schnittstellen zwischen Systemkonzeptionierung, Schaltungsentwicklung und Prozesstechnologie mittels geeigneter Präzisionsmodelle soll es möglich werden, für eine ausgewählte Technologie eine optimale Systemarchitektur effizient und sicher zu entwickeln. Mit Hilfe von Selbstgleichverfahren soll eine gute Ausbeute trotz Parameterschwankungen erzielt werden, Strategien zum Selbsttest ermöglichen einen umfassenden und kosteneffizienten Test im Labor und in der Fertigung trotz wachsender Komplexität.

Zentrales Bindeglied der in DETAILS vorgesehenen Arbeiten zur Bereitstellung einer geeigneten Entwurfstechnologie ist der HF-Design-Flow. Erst eine durchgängige Einbindung der neu zu erarbeitenden Lösungsansätze in einen strukturierten, interaktiven und zuverlässigen Arbeitsablauf mit Einbindung geeigneter Automatisierungsschritte kann zu einer deutlichen, quantifizierbaren Verbesserung der heutigen Entwurfssituation führen. Aus dieser wichtigen Bedeu-

tung des Design-Flows leitet sich die Zuordnung der Arbeiten in die vier Hauptbereiche HF-Systemmodellierung, HF-IP Entwurf, Prozessanbindung für HF-Systeme und HF-Entwurfsplattform ab. Durch die nachfolgenden Maßnahmen soll eine HF Design Technologie für präzise analoge IP-basierte Front-End Lösungen in höchstintegrierten HDÜ-Systemen geschaffen werden.

Bereich 1 (HF-Systemmodellierung):

- Erarbeitung neuer Methoden und Konzepte zur Systemkonzipierung und Strukturdefinition unter Verwendung kompatibler/gleicher Beschreibungssprachen (SystemC, C/C++)
- Erarbeitung neuer Systemkalibrierungsansätze mit Schwerpunkt CMOS

Bereich 2 (HF-IP Entwurf):

- Verfahren zum systemkonformen Schaltungsentwurf und zur IP-Modellierung
- Neue Konzepte für Höchstfrequenzschaltungen in CMOS bei niedrigen Versorgungsspannungen

Bereich 3 (Prozeßanbindung für HF-Systeme):

- Geeignete Prozessanbindung für fortschrittliche RF-CMOS, BiCMOS und SiGe Technologien
- Teilautomatisierter Regelsatz zur Konversion von BiCMOS RF nach CMOS RF
- Vereinfachung der HF-Entwurfsverifikation (Prävention vereinfacht Verifikation)

Bereich 4 (HF-Entwurfsplattform)

- Automatisierter Design-Flow mit Soft-IP Unterstützung für 5 GHz Gesamtsysteme
- Intelligente multistandardfähige HF-Testbenches mit hohem Automatisierungsgrad
- Prozessabbildung auf Systemebene

Das Projektconsortium setzt sich aus führenden und mittelständischen Unternehmen der Bereiche System- und Schaltungsentwurf, EDA und Prozesstechnologie zusammen (Bild 2).

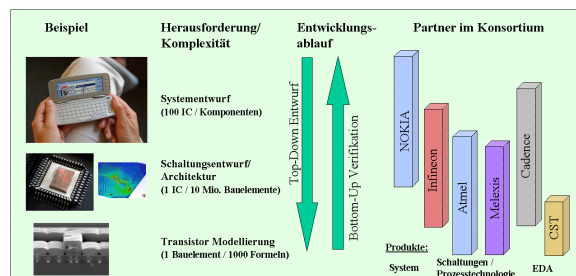


Bild 2: Industriepartner in DETAILS

Nachfolgende Institute und Hochschulen sind im Unterauftrag der Industriepartner in die Forschungsarbeiten eingebunden:

Fraunhofer Institut IIS/EAS Dresden
Technische Universität Dresden
Universität Ulm
Technische Universität Cottbus
IMMS gGmbH Erfurt

Die Personalkapazität beträgt 72 Personenjahre verteilt über einer Laufzeit von 3 Jahren (1.4.2004 – 31.3.2007). Die nachfolgenden Abschnitte geben eine erste Übersicht über die definierten Arbeitsgebiete.

Systemmodellierung

Durch die enorm steigende Komplexität zukünftiger Systeme, möglich durch die Verwendung modernster Prozeßtechnologien und nötig durch den erhöhten Bedarf an Multi-Standard Lösungen, vervielfachen sich die Möglichkeiten, Systeme zu konfigurieren und zu partitionieren. Dem Bestreben nach mehr Funktionalität, Leistungsfähigkeit und Zuverlässigkeit sind durch die Vielzahl der parasitären Effekte in modernen Fertigungsprozessen und der Verlustleistungsbegrenzung durch die eingeschränkte Akkukapazität natürliche Grenzen gesetzt. Die Planungssicherheit hängt von der Güte der verwendeten HF-Entwurfstechnologie ab.

Die hier betrachtete HF Entwurfstechnologie umfasst die Bereiche :

- EDA Entwurfsumgebungen und Werkzeuge
- Design Methodik
- Entwicklungsabläufe
- Modellierungsverfahren
- Schnittstelle zum Fertigungsprozess

Sie soll im Projekt DETAILS auf einen führenden Stand gebracht werden um damit die für ein Zeitfenster ab 2007 diskutierten drahtlosen Datenübertragungssysteme für die Zielanwendungen 'Wireless Internet' und 'Multi-Media' konkurrenzfähig entwickeln zu können.

Eine obere Beschreibungsebene muss mit einer gemeinsamen Hochsprache, die bisher voneinander getrennt mit definierten Schnittstellen betrachteten Disziplinen Systementwurf, RF- und Analogentwurf, Digitalentwurf und Software zusammenführen. Partitionierungsfragen und Kompromisse über die Grenzen von Analogbereich und Digitalbereich hinweg erfordern kompatible Spezifikationen und Funktionalmodelle, genauso wie eine gemeinsame Simulationsumgebung. Mit der wachsenden Anzahl von Randbedingungen wird es zunehmend schwieriger, zu einer optimalen Struktur eines Systems zu finden. Nur durch neue Methoden, die den Entwickler hierbei unterstützen, kann sichergestellt werden, dass keine relevanten Aspekte übersehen werden. Gleichzeitig muss ein Ansatz gefunden werden, der die Anbindung der verwendeten IP's an einen vorhandenen Design-For-Testability oder Built-In-Self-Test/Built-In-Self-Calibration Gesamtsystemansatz sicherstellt. Die Lö-

sung der Testproblematik und die Bereitstellung von systemoptimierten Kalibrierungsverfahren zur Genauigkeitssteigerung sind fundamentale Bestandteile in der Gesamtsystemplanung.

Die Arbeiten zur Systemmodellierung konzentrieren sich auf die Untersuchung und Erarbeitung neuer Gesamtsystem-Simulationsansätze (basierend auf C/SystemC). Hierbei gilt es einen geeigneten und effizienten Multi-Level Ansatz zu erarbeiten. Dieser soll durch eine geeignete Kombination von analytischer Beschreibung (wichtig für Top-Down) und Look-up Table Modellen (wichtig für z.B. Layoutverifikation mit Parasitics) gebildet werden. Die gewählte Beschreibungssprache SystemC erlaubt die Bereitstellung eines lückenlosen Simulations- und Spezifikationsinterfaces zwischen analogem Front-End, digitaler Basisbandverarbeitung und dem Protokoll-Layer. Das analoge Front-End bildet den Flaschenhals zur Realisierbarkeit moderner Kommunikationssysteme. Der zu erarbeitende Gesamtsimulationsansatz soll über folgende Eigenschaften verfügen:

- Die Verifikation der Gesamtsystemfunktionalität (physical Layer + MAC Layer) soll möglich werden,
- Anwendung einer gemeinsamen Modellierungssprache für die Blockmodelle in der Luftschnittstelle, im Front-End und im digitalen Basisband (Physical Layer) sowie den Protokoll-Layer-Funktionen,
- Bereichsübergreifende Korrekturalgorithmen sollen entwickelt und verifiziert werden können,
- Störende Einflüsse auf das Systemverhalten durch Fertigungstoleranzen und die hochkomplexe Luftschnittstelle sollen berücksichtigt werden können,
- Die Systemsimulation soll mit genügender Genauigkeit Auskunft über Implementierbarkeit, Implementierungsaufwand und Systemmerkmale geben.

Qualitätsanforderungen und explodierende Testkosten erfordern zunächst die Sicherstellung der Testbarkeit hochintegrierter Systeme. In einem zweiten Schritt ist es erforderlich, schon beim Schaltungsentwurf die Testfreundlichkeit zu erhöhen, um den danach erforderlichen Testaufwand zu minimieren. Die höchste Testfreundlichkeit erzielt ein implementierter Built-In-Self-Test. Hierzu sind für den Bereich 5 GHz WLAN erste Lösungsvorschläge verfügbar [2]. Aus den Ergebnissen dieser ersten Studien wird deutlich, dass ein Systemansatz für Built-In-Self-Test die Gesamtfläche und Verlustleistung nur unwesentlich erhöhen darf. Hieraus resultiert, dass die im System auf digitaler Seite vorhandene Signalverarbeitungskapazität durch spezielle Algorithmen optimal ausgenutzt werden muss. Der Ansatz der Genauigkeitskalibrierung von

kritischen Blöcken ist nach heutigem Kenntnisstand auf Front-End-Seite der beste Weg, um zu einer hardwareminimalen Lösung für Genauigkeitsbestimmungen und einer aktiven Verbesserung einer sonst schlechten Ausbeute zu gelangen. In diesem Projekt stellen besonders die CMOS Prozesse mit hoher Integrationsdichte neue Anforderungen (z.B. kleine Versorgungsspannungen, Isolation, kleiner Signalhub) an bereitgestellte Korrekturverfahren.

Durch die Zusammenarbeit mit Forschungsinstituten und Universitäten ist beabsichtigt, bei den bestehenden Problemen zu bereichsübergreifenden Lösungsansätzen zu gelangen. Hierbei sollen Kommunikationssysteme von der Fertigungstechnologie über die Endgerätetechnologie bis hinauf zum Netzwerk betrachtet werden. Auch hier wird es immer wichtiger vorhandene Nichtidealitäten der HF-Komponenten und des Übertragungskanal zu berücksichtigen. Ein Großteil der Arbeiten wird direkt in neue Entwurfs-Produkte einfließen.

HF-IP Entwurf

Die einzelne IP-Beschreibung soll hier als virtuelle Bibliothek unterschiedlicher Konfigurierungs- und Dimensionierungsmöglichkeiten einer Schaltung verstanden werden und im Design-Flow mit vollem Funktionsumfang unterstützt werden.

Durch die zunehmende Integrationsdichte haben früher vernachlässigbare Phänomene einen immer stärkeren Einfluss auf das Verhalten von integrierten Schaltungen und deren Entwicklungsprozess. Dazu zählen die Nichtskalierbarkeit von Bauelementeparasitics und Versorgungs-/Schwellspannungen, 3D-Effekte, Koppungseffekte von HF-Komponenten und Verbindungen, Grenzen und Komplexität der Fertigungstechnik, Zuverlässigkeitsprobleme und die wachsende Prozessvielfalt. Diese Phänomene können beim Übergang zu den Sub-100nm-Technologien nicht mehr vernachlässigt werden. Eine systemkonforme Modellierung für HF-IP's ist die Voraussetzung für eine höchstmögliche Flexibilität auf Systemebene, in der der bereitgestellte IP-Block und das dazugehörige Multilevel-Funktionalmodell keine starre Funktionalität besitzt, sondern auf spezielle Systemanforderungen hin formbar bleibt (parametrisierbar, konfigurierbar). Unter HF-IP werden hier in einer Hochsprache vorliegende, ausführbare Entwurfsbeschreibungen für die Views: Symbol, Modell, Schaltung und Layout verstanden. Geeignete HF-Entwurfsumgebungen zur Erstellung parametrisierbarer Entwürfe wurden bereits in [3] vorgestellt.

Den durch die Grenzen der Fertigungstechnik wachsenden statistischen Parameterschwankungen kann nur durch neue Kalibrierverfahren begegnet werden. In Ausnahmefällen können spezielle fehlertolerante

Schaltungsstrukturen zu einer Genauigkeitssteigerung führen. Ohne derartige Kalibrierverfahren kann die erforderliche hohe Güte integrierter WMAN/WLAN Transceiver-Systeme nicht mehr erreicht werden.

Prozessanbindung

Dieses Arbeitspaket dient der Bereitstellung eines anwenderfreundlichen Technologie-Interfaces für die Entwurfsumgebung. Dafür gilt es, zum einen der gewachsenen Vielfalt an Prozessen und Prozessoptionen Rechnung zu tragen und zum anderen, auf die Anforderungen der Systemebene nach höherer Genauigkeit bei der Berücksichtigung der Prozesscharakteristika zu reagieren. Neben innovativen Ideen sind *technologische Machbarkeit*, *Risiko* und *Kosten* Faktoren, die die Produktentwicklung und Konkurrenzfähigkeit im Halbleiterbereich maßgeblich beeinflussen. Deshalb wird auch in Zukunft die Prozessvielfalt eher zunehmen. So hängt es beispielsweise von der vorgesehenen Stückzahl ab, ob eine Fertigung in einem fortschrittlichen CMOS-Prozess aufgrund der hohen Vorlaufkosten extrem teuer oder extrem günstig wird. KMU's, die sich meist auf kleinere Marktnischen konzentrieren, werden deshalb BiCMOS-Technologien bevorzugen.

Mit der wachsenden Systemkomplexität wird auch die Systemverifikation zunehmend schwieriger. Ein vielversprechendes Mittel, um den Verifikationsaufwand für im System eingebettete HF-Funktionen zu reduzieren, ist die Fehlerprävention durch Bereitstellung von dynamischen Entwurfsregeln für den Design-Rule-Checker (DRC) oder den Electrical-Rule-Checker (ERC), die für den speziellen Anwendungsfall zugeschnitten sind. Eine Steuerung wäre über spezielle Layout- oder Schematicproperties möglich, die z.B. signalempfindliche Leitungen kennzeichnen und den maximal erlaubten Störpegel vorgeben. Aus dieser Vorgabe lassen sich Minimalabstände oder auch zusätzlich erforderliche Isolationsmaßnahmen zur Sicherstellung der Signalintegrität ableiten. Mit Einsatz eines 3D-Feldsimulators werden spezielle HF-Leitungsstrukturen und Schirmungsstrukturen für Leitungen und Komponenten erarbeitet, die einen optimalen Signal- oder Energietransport bei minimaler Störabstrahlung und Störeinstrahlung garantieren. Weiterhin werden mit Hilfe numerischer Simulationsverfahren entwurfstaugliche Modelle zur Beschreibung von Effekten der Signalkopplung und der elektro-thermischen Kopplung durch das Substrat entwickelt.

Der Entwurf von HF-Schaltungen stellt bekanntlich hohe Anforderungen an die Bauelementemodelle sowohl im Bipolar- als auch im MOS-Bereich. Zur Optimierung der Schaltungseigenschaften wurde im Vorgänger Projekt HGDAT [2] ein geometrieskalierbares Bipolartransistor-Modell entwickelt, mit dem auch die auftretenden Prozess toleranzen berücksichtigt werden

können. Für RF-CMOS Anwendungen dagegen fehlt eine entsprechende Beschreibung in der verfügbaren Form des (für Digitalanwendungen entwickelten) Standardmodells BSIM3v3. Wegen der gestiegenen Bedeutung der CMOS-Technologie für RF-Anwendungen werden in diesem Projekt wichtige Impulse hinsichtlich einer Verbesserung erarbeitet. Dies soll auf Basis des für die analoge Schaltungsentwicklung vorteilhafteren EKV Kompaktmodells [4] erfolgen.

Weiterhin stellt die genaue Modellierung passiver Bauelemente bei hohen Frequenzen u.a. wegen des Auftretens 3-dimensionaler Effekte ein kompliziertes Problem dar. Hinzu kommen Substrat-Kopplungseffekte sowohl innerhalb der Bauelemente selbst als auch zwischen den Bauelementen, die genau und mit akzeptabler Rechenzeit erfasst werden müssen.

Die vorhandenen geometrieskalierbaren Bipolartransistormodelle sollen derart genutzt werden, dass ein Entwickler beim Finden der bzgl. einer gegebenen Anwendung optimalen Transistorabmessungen unterstützt wird. Die hohe Genauigkeit der physikalischen Kompaktmodelle, die durch die Berücksichtigung der relevanten technologischen Eigenschaften in den Modellparametern erreicht wird, erlaubt in Zukunft die Entwicklung von Schaltungen für Prozesse, die noch gar nicht verfügbar sind. Auf der Basis der vorhergesagten Schaltungseigenschaften können zusätzlich Modelle zur Systementwicklung generiert werden, die damit frühzeitig System-Untersuchungen und entsprechende Konzept-Entscheidungen erlauben. Somit können neue Möglichkeiten der Technologie deutlich schneller in Produkte umgesetzt werden. Es wird erwartet, dass es sogar möglich ist, den Top-Down-Entwurfsprozeß bis zur Erstellung optimaler Systembauelemente zu erweitern.

Die Güte des Gesamtsystems wird maßgeblich durch das Interface zur Außenwelt (z.B. Gehäuse) beeinflusst. Das Interface zur Außenwelt wird hier als ein weiteres relevantes Bauelement betrachtet. Für den Anwendungsfall WLAN sollen 3-dimensionale Effekte bis zu 20 GHz berücksichtigt werden.

Man kann einschätzen, dass neue Performance-Meilensteine in High-Performance-SiGe oder SiGe-BiCMOS Prozessen in einem Abstand von etwa 4 Jahren (3 Generationen) auch von Analog-CMOS-Prozessen bei niedrigerer Verlustleistung und geringeren Kosten bei Massenfertigung erreicht werden. Das führt dazu, dass Entwicklungsschritte für erfolgreiche Produkte bei Designressourcenknappheit meist doppelt durchzuführen sind, zunächst in BiCMOS und dann in CMOS. Für diesen sich ständig wiederholenden Schritt sollen allgemeingültige Regeln für die Konvertierung von Schaltungen in BiCMOS Technik

in entsprechende Schaltungen in CMOS Technik erarbeitet werden.

HF-Entwurfsplattform

Die Teilergebnisse der vorgestellten Arbeitsgebiete sollen in einer übergreifenden HF-Entwurfsplattform mit realen Beispielen verifiziert werden. Neben der Bündelung der Ergebnisse aus den übrigen Arbeitspaketen werden aber auch weitere Flow-spezifische Arbeiten durchgeführt.

Die wesentlichen Absichten und Ziele sind:

- Verifikation der Methoden und der Werkzeugfunktionalität an realen Beispielen
- Überprüfung der entwickelten Methodik auf Eignung zur Anwendung im Entwurfsablauf
- Frühzeitige Bereitstellung der Ergebnisse zur Verwendung in den realen Beispielen
- Aufbereitung der Teilergebnisse zur Verwendung innerhalb der HF-Entwurfsplattform

Flow-spezifische Arbeiten dienen der Unterstützung von RF-IP's im Design-Flow, der Bereitstellung durchgängiger GUI-basierter Testbenches am Beispiel von Multimode Anwendungen, sowie der Abbildung von Bauelement-relevanten Informationen und die Berücksichtigung Prozess-spezifischer Parasitics auf Systemebene.

In den letzten Jahren hat sich die Entwicklung von Intellectual Properties (IPs), eine spezielle Form wiederverwendbarer Designbeschreibungen, als der wichtigste Motor zur Produktivitätssteigerung entwickelt. Für den HF-Bereich ist heute klar, dass der Wiederverwendungsgrad von Hard-IPs nur sehr gering ist. Verbesserung versprechen hier erste Ansätze für Soft-IP's oder parametrisierbare Hard RF-IP's, die im Rahmen des HGDAT Projektes erarbeitet wurden [2]. Die diesen IP's für Teilfunktionen im Front-End inwohnende Flexibilität kann auf hoher Systemebene für kritisch spezifiziertere Systeme einen deutlichen Schritt in Richtung besserer Realisierbarkeit bedeuten. Hierzu müssen die speziellen Eigenschaften von RF-IP's im verwendeten Design Flow unterstützt werden.

Automatisierte Testbenches garantieren die Funktionalität der ausgewählten Blöcke im vorliegenden, in weiten Bereichen flexiblen, Anwendungsfall und vereinfachen die Verifikation der Schaltungen. Darüber hinaus charakterisieren sie erstmalig die Form und den Grad der möglichen Wiederverwendbarkeit, die davon abhängt, welche Kennparameter variabel sind, wie die Anforderungen an die Technologie sind und welche Design-Views zur Verfügung stehen.

Eine frühzeitige Berücksichtigung von Prozess-spezifischen Details auf einer möglichst hohen Abs-

traktionsebene ist entscheidend für die Beurteilung der Machbarkeit. Dazu werden geeignete Methoden und Ansätze erarbeitet, die entsprechende Bauelemente aber auch parasitäre Prozessinformationen auf hohem Abstraktionslevel zur Verwendung innerhalb einer schnellen Systemsimulation abbilden können. Physikalische Kompaktmodelle wie HICUM und EKV sind hierfür besonders geeignet [5]. Ein wichtiger Teilaspekt ist hier die Einbindung von TRADICA, einem Programm zur optimalen Dimensionierung von Transistoren in integrierten Schaltungen, in die Entwurfsplattform zur Berücksichtigung statistischer Parameterstreuungen [6].

Weiterhin werden in diesem Arbeitspaket die erarbeiteten Methoden anhand ausgewählter Funktionen realer Beispiele in modernsten Fertigungsprozessen angewendet und erprobt. Gerade im Bereich der Hochfrequenztechnik sind Messungen zwingend notwendig, um Aussagen über die Qualität und Effizienz des entwickelten Design-Flows zu ermöglichen und so eine Rückkopplung zu erhalten. Gleichzeitig werden so die technologischen Grenzen in den unterschiedlichen Prozessen erkannt, welches eine Voraussetzung für ihre Weiterentwicklung ist.

Erste Ergebnisse

Für den Bereich der Systemmodellierung wurde ein erster Gesamtansatz zur Modellierung und Simulation komplexer Multistandard-Kommunikationssysteme auf Basis von SystemC erarbeitet [7]. Dieser Ansatz zeichnet sich durch seine mögliche Einbettung in einen teilautomatisierten hierarchischen HF-Systementwurfsprozess aus.

Durch die Verwendung von automatisch generierbaren Basisbandmodellen auf Grundlage mehrdimensionaler Tabellen gelingt die Gratwanderung zwischen hoher Simulationsgenauigkeit und Simulationseffizienz bei der Untersuchung komplexer Systemarchitekturen [8]. Technologischen Rahmenbedingungen, die Einfluss auf Zuverlässigkeit, Verlustleistung und Kosten haben, lassen sich mit entsprechender Genauigkeit bei der Architekturauswahl, Partitionierung und der Ausarbeitung neuer analoger Selbstkalibrierverfahren für Multistandard HF-Front-Ends [9] in Sub-100nm-CMOS Prozessen berücksichtigen.

Neue Möglichkeiten ergeben sich für die Generierung von HF-Schaltungen und HF-Bauelementen (Schaltbild, Layout, Modell) durch die Verwendung spezieller HF-Entwurfsablaufbeschreibungen [10]. Bauelemente, wie HF-Transistoren und HF-Spulen, lassen sich hiermit erstmalig vom Designer für eine Applikation optimieren, bei zukünftig geplanter gleichzeitiger Bereitstellung zugeschnittener Kompaktmodelle [11] unter Berücksichtigung relevanter 3-D EM Effekte [12].

Zusammenfassung

Das BMBF Verbundprojekt DETAILS wurde vorgestellt. Adressiert werden die aktuellen Probleme im Bereich der Entwurfstechnologie für zukünftige hochintegrierte Hochgeschwindigkeitsdatenübertragungssysteme mit Schwerpunkt Systemmodellierung. Durch die Zusammenarbeit zwischen Chip- und Systemherstellern, CAD-Firmen und Forschungseinrichtungen wird die Anwendbarkeit der Ergebnisse über das Projekt hinaus gesichert. Erste Ergebnisse sind bereits verfügbar und werden auf dieser Tagung vorgestellt.

Literatur

- [1] <http://wimaxforum.org>
- [2] R. Wittmann, J. Hartung, H.-J. Wassener, G. Tränkle, M. Schröter, "RF Design Technology for Highly Integrated Communication Systems", Proceedings DATE 03, Munich, pp. 842-847, ISBN 0-7695-1870-2
- [3] R. Wittmann, D. Bierbaum, P. Ruhanen, W. Schardein, M. Darianian, "A unified IP Design Platform for extremely flexible High Performance RF and AMS Macros using Standard Design Tools", System on Chip Design Languages, ISBN 1-4020-7046-2, KAP, Boston, June 2002
- [4] M. Bucher, C. Enz, F. Krummenacher, J.-M. Sallese, C. Lallement, A.-S. Porret, "The EKV 3.0 Compact MOS Transistor Model - Accounting for Deep-Submicron Aspects", Nanotech 2002, Proceedings of the 2002 International Conference on Modeling and Simulation of Microsystems
- [5] M. Schröter, "Compact device modeling for RF circuit design", tutorial at the IEEE Int. Electron Devices Meeting (IEDM), San Francisco (CA), Dec. 2002.
- [6] M. Schröter, H.-M. Rein, W. Rabe, R. Reimann, H.-J. Wassener and A. Koldehoff, "Physics- and process-based bipolar transistor modeling for integrated circuit design", IEEE JSSC, Vol. 34, pp. 1136-1149, 1999.
- [7] P. Birrer, W. Hartong, S.-J. Chandrasekaran, "Nutzung von SystemC-Modulen innerhalb eines Analog/Mixed-Signal Designablaufs", dieser Tagungsband
- [8] R. Frevert, I. Harasymiv, W. Hartong, U. Knöchel, "Automatische Generierung templatebasierter HF-Basisband-Modelle", dieser Tagungsband
- [9] C. Mürker, "A Compact Multi-Tone Test Generator for RF ICs using a Sigma-Delta PLL", dieser Tagungsband
- [10] A. Domdey, R. Wittmann, A. Bamba, W. Schardein, M. Darianian, "Analoger Schaltungsentwurf mittels ausführbarer Entwurfsablaufbeschreibungen für konventionelle Entwurfsumgebungen", dieser Tagungsband
- [11] W. Grabinski, Tutorial on "The EKV3.0 MOSFET Model-A Next Generation MOSFET Model Dedicated to Analog/RF IC Design", diese Tagung
- [12] I. Munteanu, "Zuverlässiger Entwurf durch 3D EM Simulation", diese Tagung