

## Phase-Locked Loops (PLLs)

Vorlesung Integrierte Analogelektronik II

### Teil 2: Schaltungen und Systemperformance

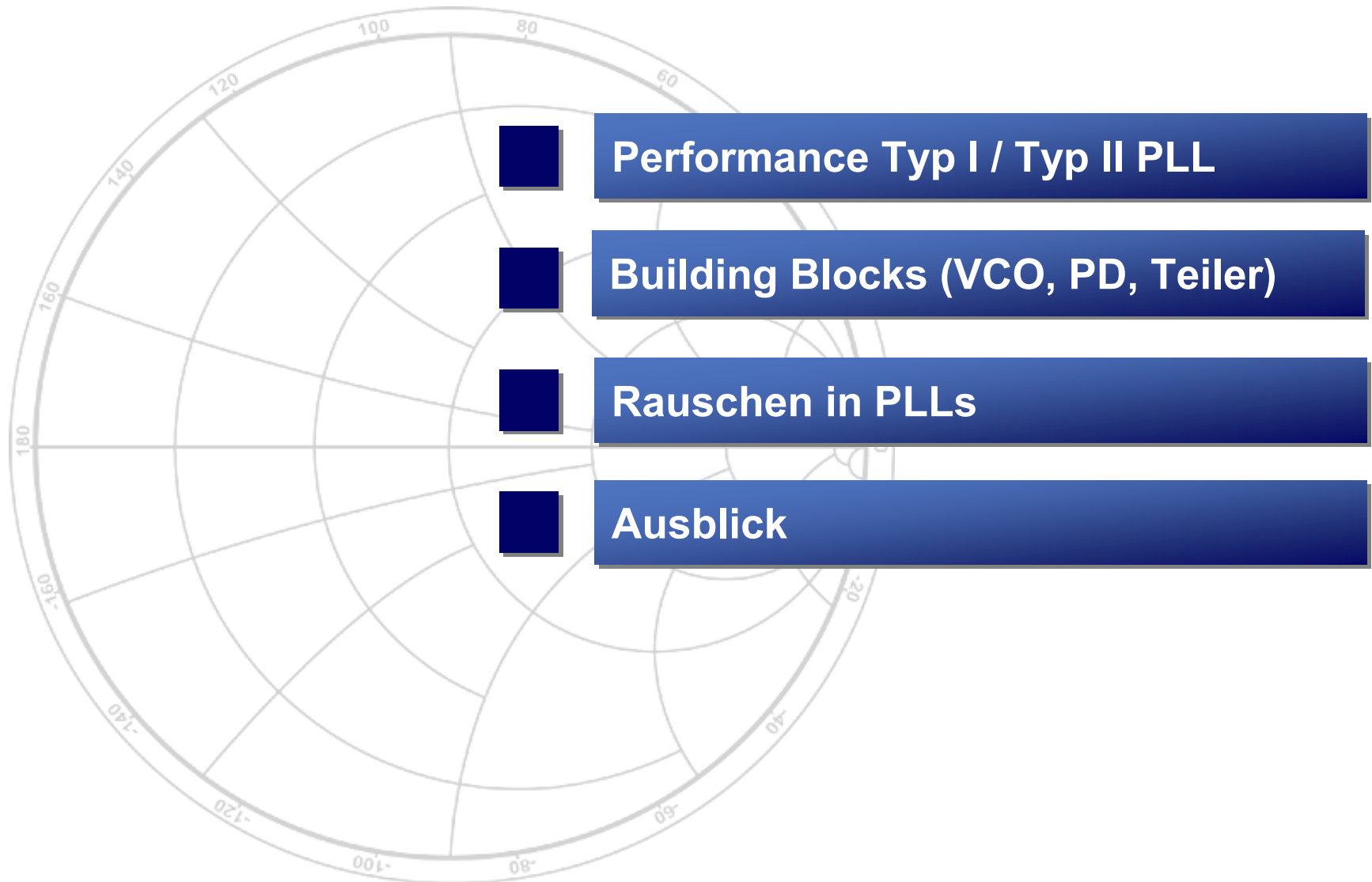
**Christian Münker**  
Infineon Technologies AG



Never stop thinking.

# Agenda

stop thinking  
Never



Christian Munker

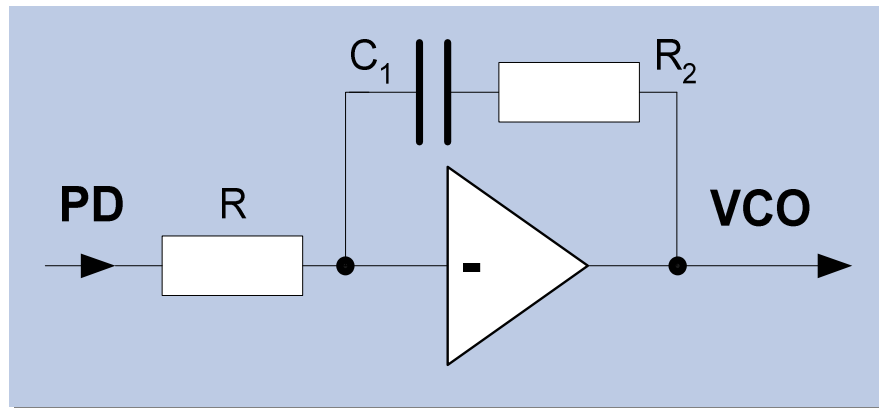
1. Juli 2004

Page 2 of 51

# Integrierendes Loop Filter mit „Null“ („Lead“)

$R_2$  in Serie mit Integrationskapazität erzeugt positive Phasendrehung („Null“):

- ⇒ Bei niedrigen Frequenzen ist nur  $C_1$  wirksam ⇒ Integrator
- ⇒ Bei Frequenzen oberhalb  $1/R_2C_1$  ist  $R_2$  wirksam ⇒ P-Glied



**Integrierendes Filter + Null in Übertragungsfunktion**

⇒ Stabile Typ II PLL!

$$F(s) = R \cdot \frac{R_2 C_1 s + 1}{s C_1}$$

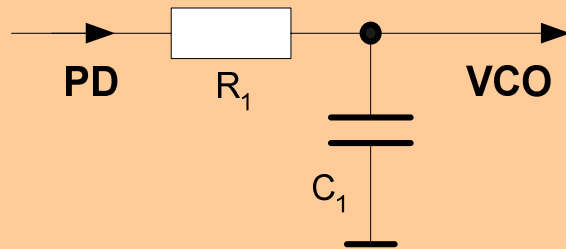
~~R~~ bewirkt nur U → I Umwandlung, kein Teil des Filters!

# Lineares PLL-Modell: Loop Filter

- Loop Filter ist LTI-Block, keine Näherung notwendig
- Zwei verschiedene Typen: Filter mit / ohne Integrator

## Nicht-integrierendes Filter

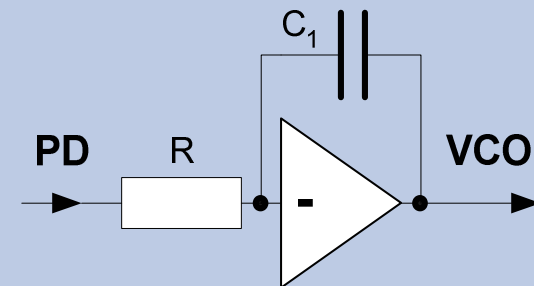
⇒ „Typ I PLL“



$$F(s) = \frac{1}{1 + sC_1R_1}$$

## Integrierendes Filter

⇒ „Typ II PLL“

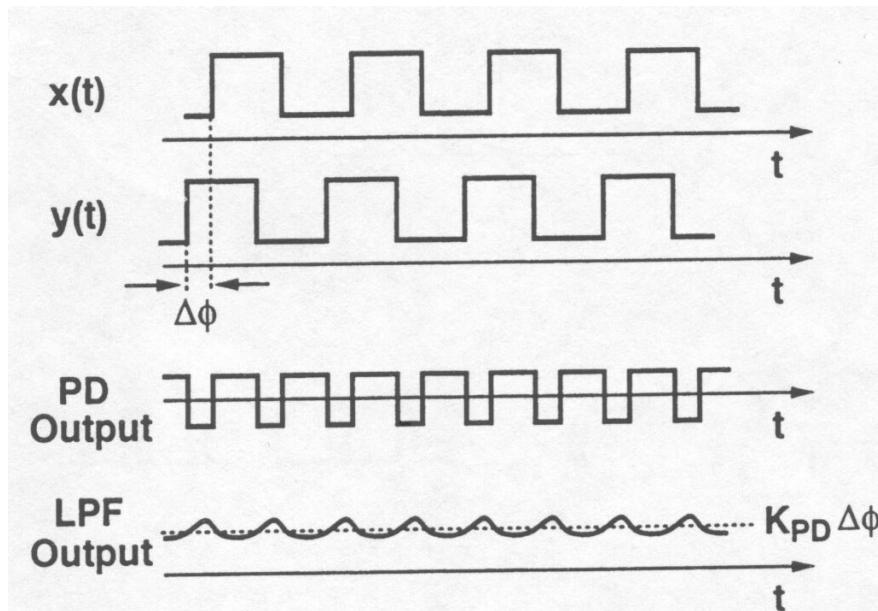


$$F(s) = \frac{R}{sC_1}$$

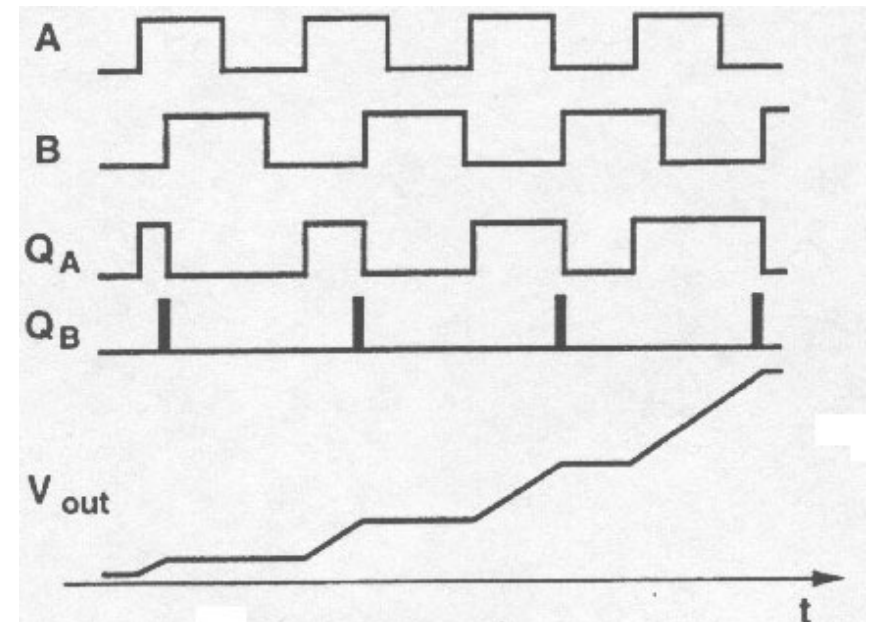
⚡ R macht nur U → I Umwandlung, kein Teil des Filters!

# PLL Typ I vs. Typ II (2)

## Typ I PLL (glättendes Loopfilter)

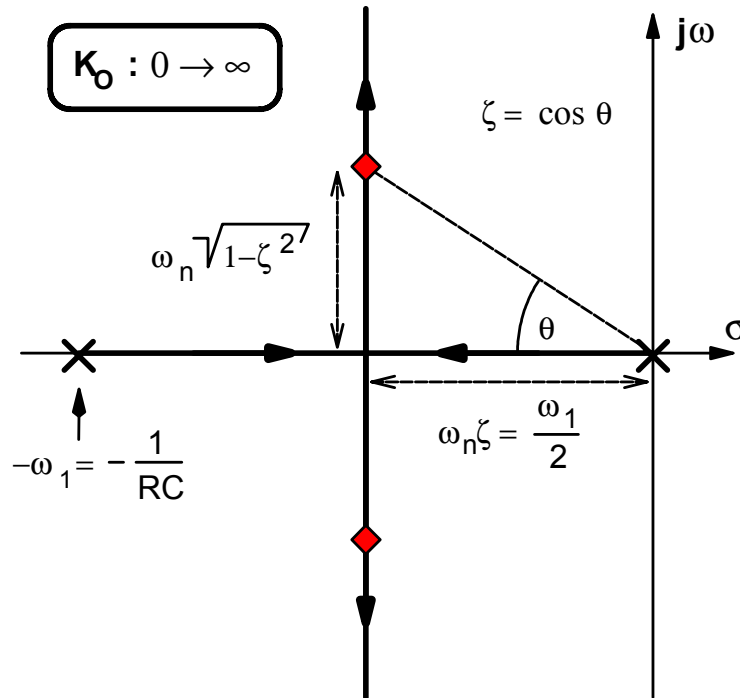


## Typ II PLL (integrierendes Loopfilter)



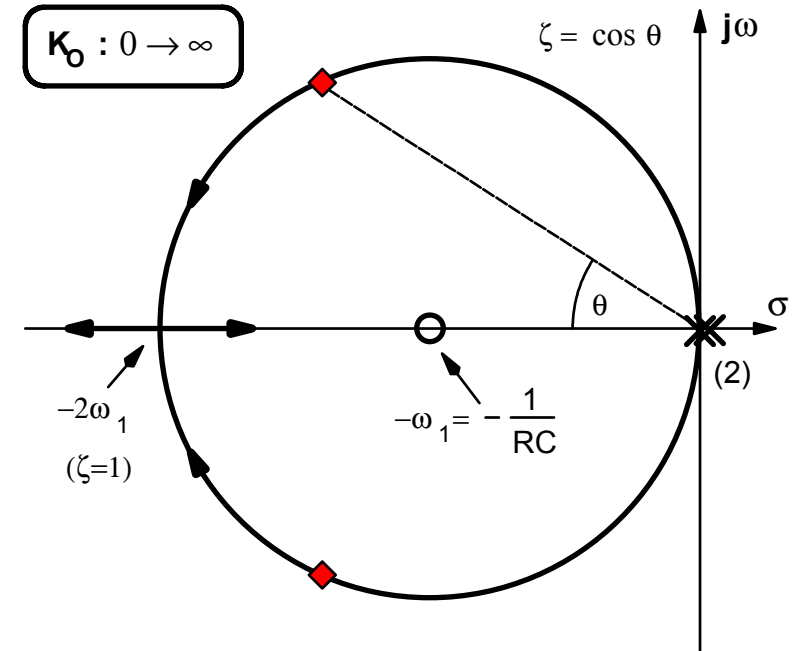
# PLL Typ I vs. Typ II (1)

## Typ I PLL



■ Wird instabiler mit steigendem  $K_O$  ( $\zeta \rightarrow 0$ )

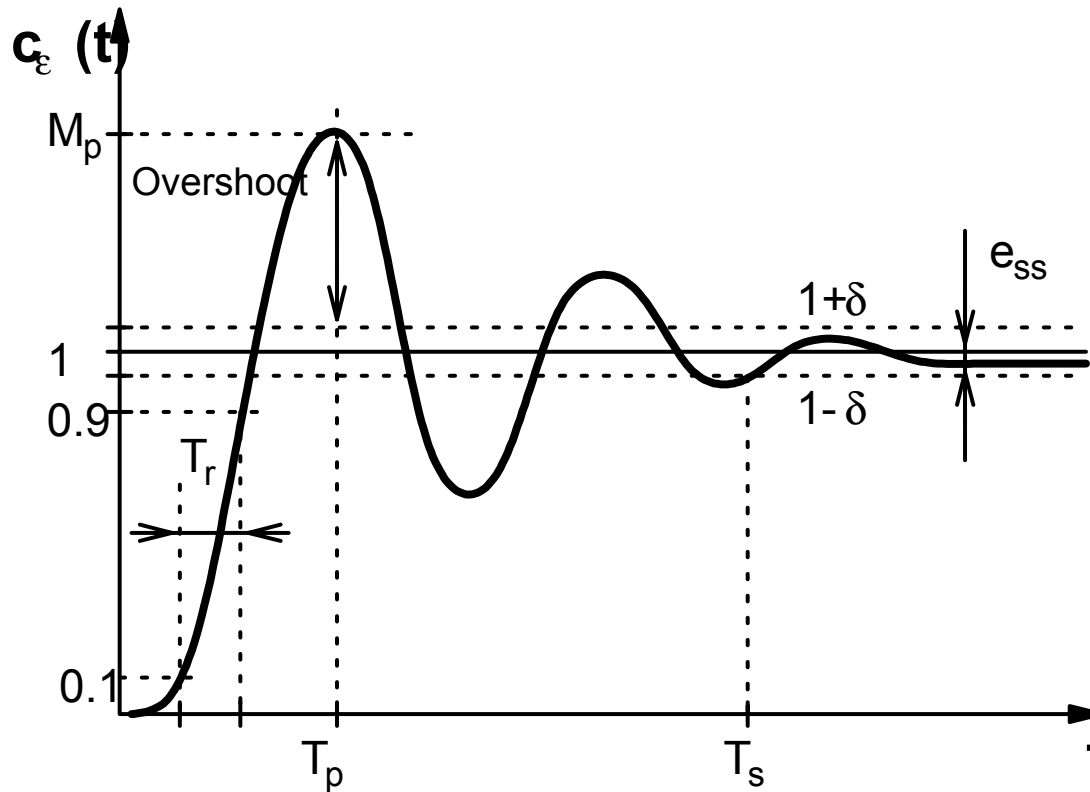
## Typ II PLL



■ Wird stabiler mit steigendem  $K_O$  ( $\zeta \rightarrow 1$ )

# PLL Spezifikationen

## Spezifikationen






- $T_r$ : Risetime 10%  $\rightarrow$  90%
- $T_s$ : Settlingtime innerhalb Fehlerband  $\delta$
- $e_{ss}$ : Steady-State Error für  $t \rightarrow \infty$
- $M_p$ : Maximaler Überschwinger

- Phasen- und/oder Frequenzfehler kann spezifiziert werden




# Endwerttheorem

- Endwerttheorem erlaubt es, den Endzustand eines Systems für  $t \rightarrow \infty$  direkt aus seiner s-Domain Beschreibung bestimmen

$$\lim_{t \rightarrow \infty} h(t) = \lim_{s \rightarrow 0} sH(s)$$

<b>Stoß</b>		$h(t) = \delta(t) * h(t)$	$H(s)$
<b>Sprung</b>		$h_\varepsilon(t) = \varepsilon(t) * h(t)$ $= \int h(t) dt$	$H_\varepsilon(s) = H(s)/s$
<b>Rampe</b>		$h_r(t) = \varepsilon(t) * \varepsilon(t) * h(t)$ $= \int \int h(t) dt$	$H_r(s) = H(s)/s^2$

# Endwerttheorem: Ausgangsphase Typ I / Typ II PLL

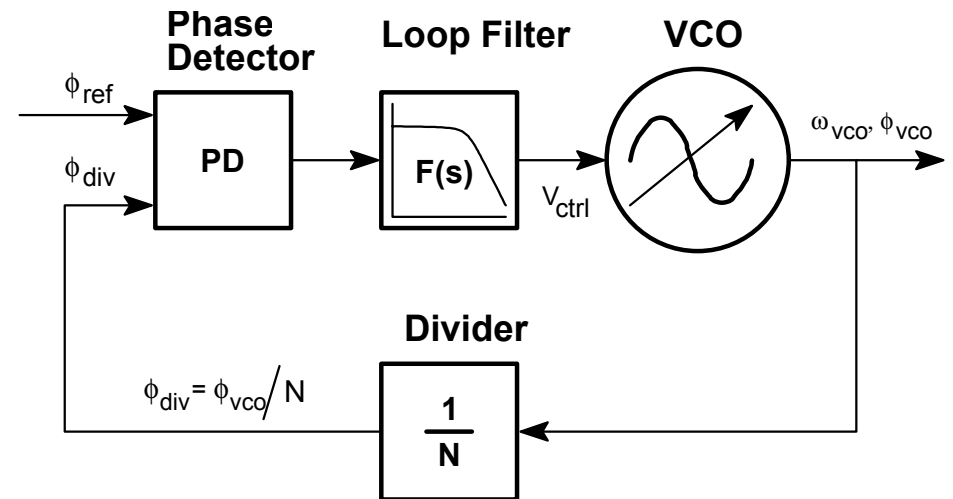
	$\Phi_{\text{ref}}$	Typ I	Typ II
ÜTF		$T_I(s) = \frac{N}{s^2 / \omega_n^2 + 2\zeta / \omega_n s + 1}$	$T_{II}(s) = \frac{N(2\zeta / \omega_n s + 1)}{s^2 / \omega_n^2 + 2\zeta / \omega_n s + 1}$
Stoß		$h_I(t \rightarrow \infty) = 0$	$h_{II}(t \rightarrow \infty) = 0$
Sprung		$h_{I,\varepsilon}(t \rightarrow \infty) = N$	$h_{II,\varepsilon}(t \rightarrow \infty) = N$
Rampe		$h_{I,r}(t \rightarrow \infty) \rightarrow \infty$	$h_{II,r}(t \rightarrow \infty) \rightarrow \infty$

- Pulsförmige Phasenstörung wird vollständig ausgeregelt
- Phasensprung erscheint multipliziert mit N am Ausgang
- Phasenrampe (= Frequenzänderung) wird mit N multipliziert, Änderung am Ausgang steigt daher ebenfalls unbegrenzt an
- Kein Unterschied zwischen Typ I und Typ II PLL!

# Übertragungsfunktion des Phasenfehlers

$$T_e(s) = \frac{\Phi_e(s)}{\Phi_{ref}(s)} = \frac{\Phi_{ref}(s) - \Phi_{div}(s)}{\Phi_{ref}(s)}$$

$$= 1 - \frac{T(s)}{N}$$



- Wichtig für phasenkritische Anwendungen:  $\varphi_{e,vco} = N \varphi_e$

## Typ I PLL

$$T_{e.I}(s) = \frac{s^2 / \omega_n^2 + 2\zeta / \omega_n s}{s^2 / \omega_n^2 + 2\zeta / \omega_n s + 1}$$

## Typ II PLL

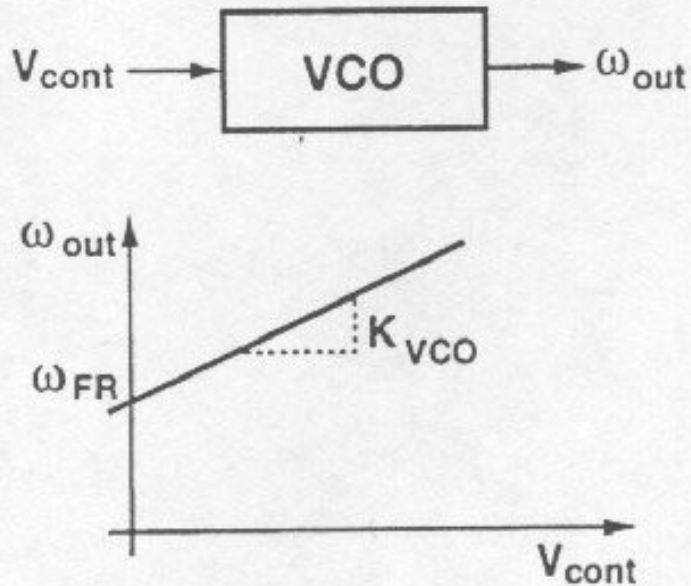
$$T_{e.II}(s) = \frac{s^2 / \omega_n^2}{s^2 / \omega_n^2 + 2\zeta / \omega_n s + 1}$$

# Endwerttheorem: Phasenfehler Typ I / Typ II PLL

	$\varphi_{\text{ref}}$	Typ I	Typ II
ÜTF		$T_{I,e}(s) = \frac{s^2 / \omega_n^2 + 2\zeta / \omega_n s}{s^2 / \omega_n^2 + 2\zeta / \omega_n s + 1}$	$T_{e,II}(s) = \frac{s^2 / \omega_n^2}{s^2 / \omega_n^2 + 2\zeta / \omega_n s + 1}$
Stoß		$h_{Ie}(t \rightarrow \infty) = 0$	$h_{IIe}(t \rightarrow \infty) = 0$
Sprung		$h_{Ie,\varepsilon}(t \rightarrow \infty) = 0$	$h_{IIe,\varepsilon}(t \rightarrow \infty) = 0$
Rampe		$h_{Ie,r}(t \rightarrow \infty) = \frac{2\zeta}{\omega_n} = \frac{N}{K_o}$	$h_{IIe,r}(t \rightarrow \infty) = 0$

- Pulse und Phasensprünge werden vollständig ausgeregelt
- PLL Typ II regelt Phasenfehler bei Frequenzsprung (= Phasenrampe) vollständig aus, PLL Typ I nicht
- Phasenfehler Typ I PLL ist abhängig von Teilerfaktor und Loop Gain!

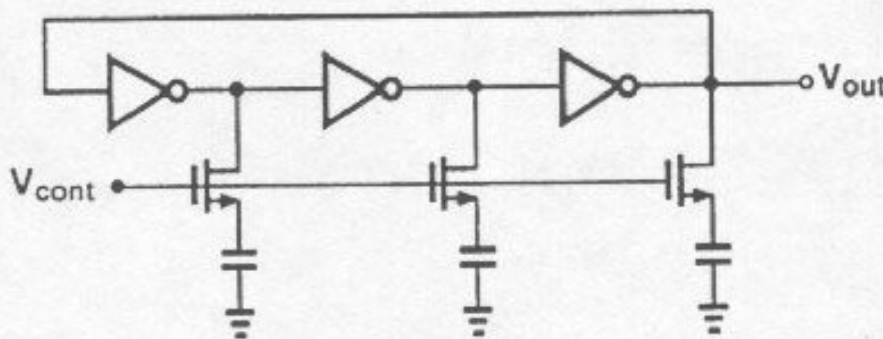
# Lineares PLL-Modell: VCO



$$\begin{aligned}\phi_{vco}(t) &= \int_{-\infty}^t \omega_{vco}(t) dt \\ &= \int_{-\infty}^t \omega_{FR} + K_{vco} \overline{v_{ctrl}(t)} dt\end{aligned}$$

$$\Rightarrow \Phi_{vco}(s) = \frac{K_{vco} V_{ctrl}(s)}{s}$$

Example:



- VCO ist idealer Integrator:
- Phase hängt von der „Vor-geschichte“ der Frequenz ab

# VCO - Typen

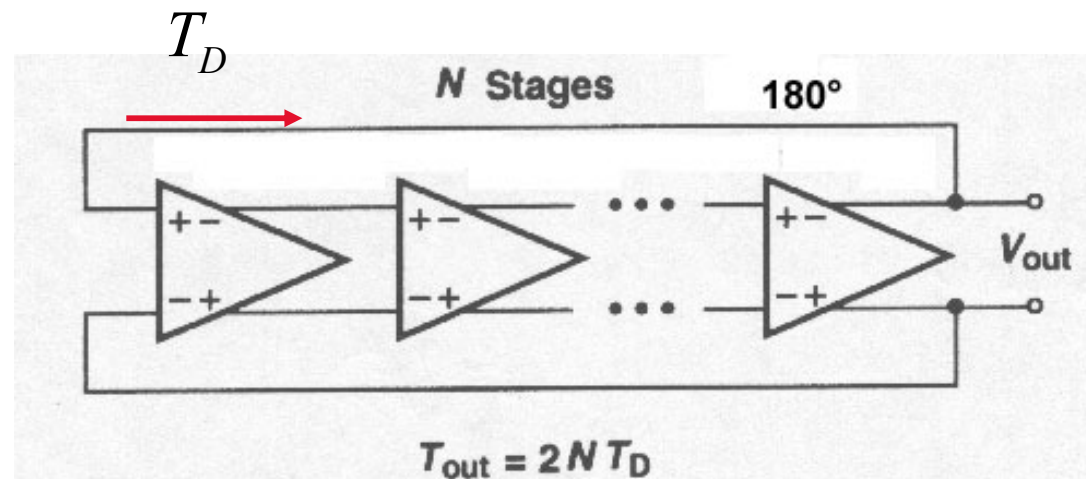
---

- **Relaxations Oszillatoren - sehr kompakt, sehr schlechte Rausch - Eigenschaften**
- **Ringoszillatoren**
  - kompakt
  - sehr weiter Tuning Bereich
  - mittelmäßige Noise - Performance (ca. 6 ... 7 dB besser als Relaxationsoszillatoren)
  - Häufig verwendet für Timing Anwendungen (CDR, Phase alignment)
- **LC - Oszillatoren**
  - großer Flächenbedarf durch integrierte Induktivitäten
  - relativ schmaler Tuning Bereich
  - exzellente Phase Noise Performance und Stromeffizienz durch Resonanz (Q) (ca. 20 ... 30 dB besser als Ringoszillatoren)
  - Standard für RF - Anwendungen

# VCO: Ringoszillatoren

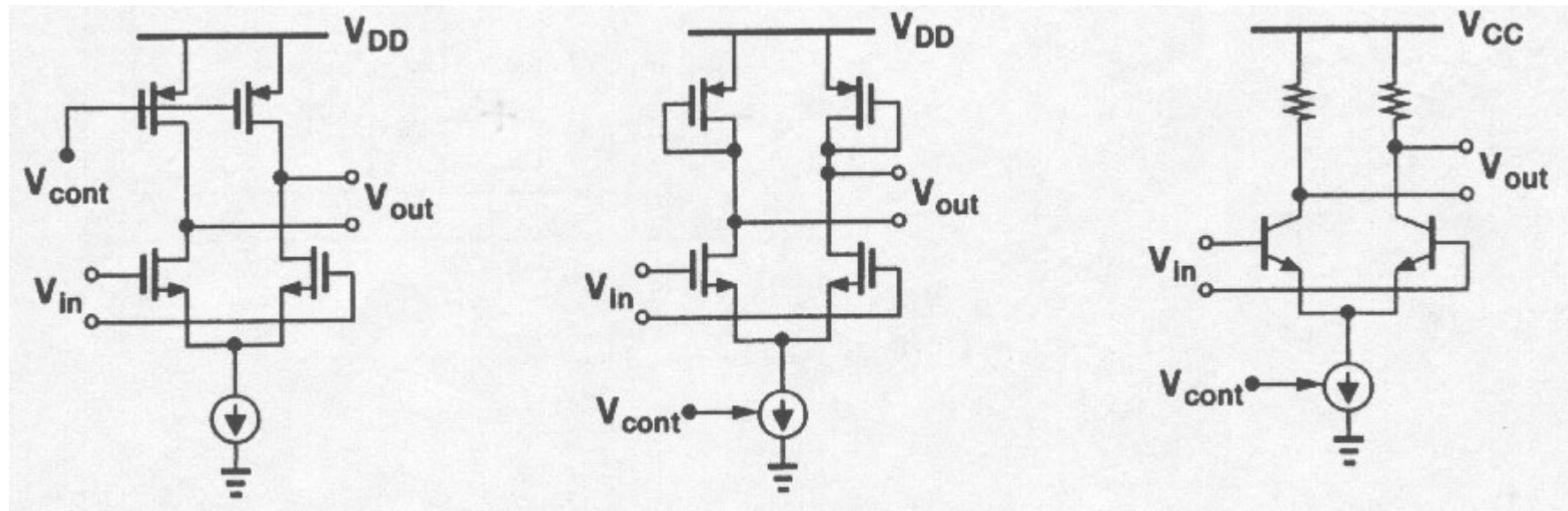
- N gleiche Verzögerungsstufen mit Laufzeit  $T_D$
- N ungerade (bei single-ended Topologie), sonst schwingt Oszillator nicht an
- N am besten Primzahl, ansonsten verschiedene Modi möglich (vgl. stehende Welle)
- Pro Stufe meist ein dominanter Pol (kap. Last am Ausgang)
  - ⇒ max. Phasendrehung  $90^\circ$  pro Stufe
  - ⇒ min. 3 Stufen um sicher  $180^\circ$  Phasendrehung mit  $\text{Gain} > 1$  zu erreichen

$$f_{osc} = \frac{1}{2n \cdot T_D}$$

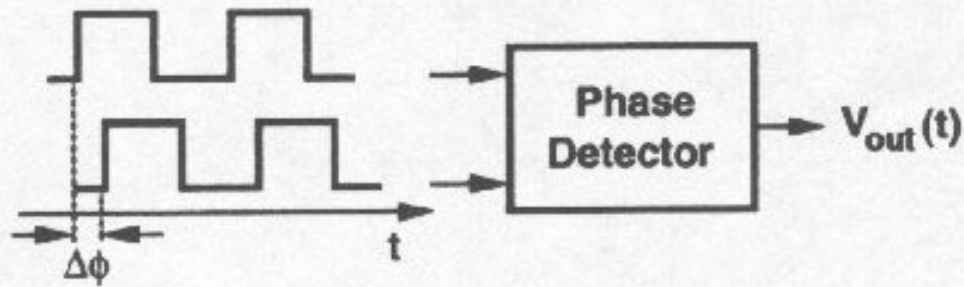


# VCO: Ringoszillatoren (2)

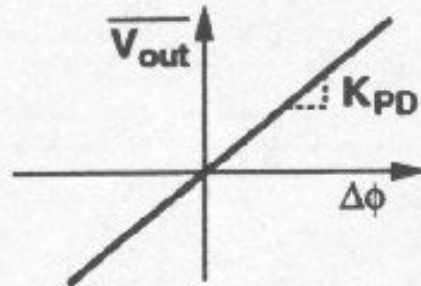
- Risiko bei Ringoszillatoren: durch Änderung der Laufzeit sinkt Verstärkung so weit ab, dass Schwingung abreißt
- Single-ended Ringoszillatoren sind sehr empfindlich auf Störungen der Versorgungsspannung



# Lineares PLL-Modell: PD



$$\overline{V_{out}} = K_{PD} \Delta\phi$$



$$\overline{V_{out}}(s) = K_{\Phi} \cdot \Phi_e(s)$$

$$[K_{\Phi}] = V/\text{rad}$$

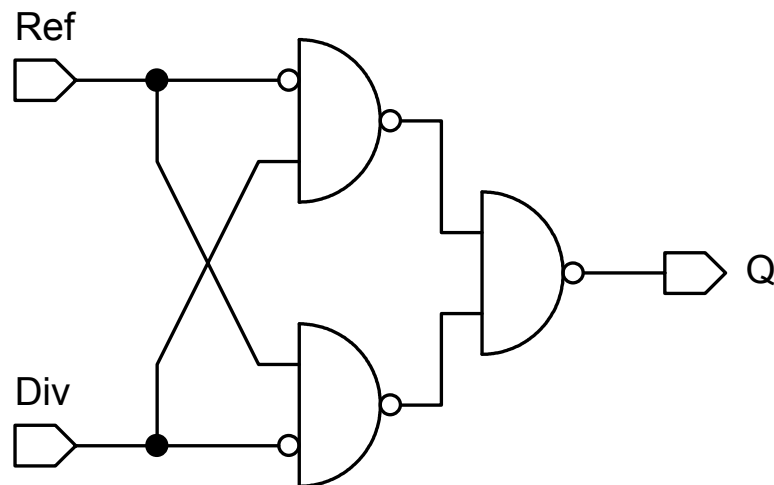
**Example:**



**Mittelwert** von  $V_{out}$  ist proportional zum Phasenfehler!

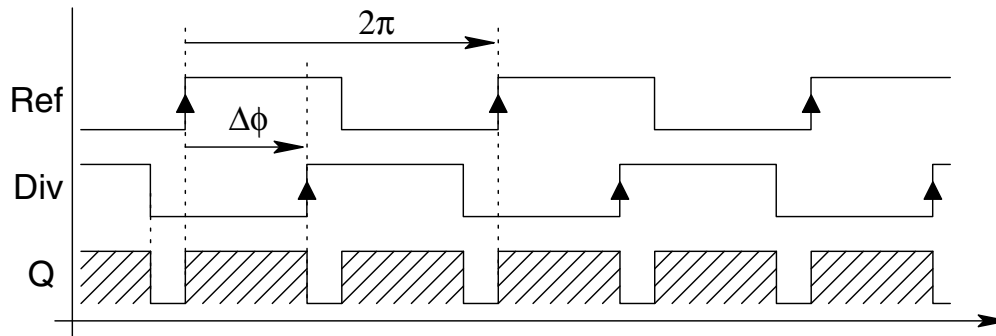
# EXOR als Phasendetektor

- Einfachster digitaler PD
- Nur phasen-sensitiv, nicht frequenz-sensitiv
- Zusätzlicher Frequenzdetektor notwendig



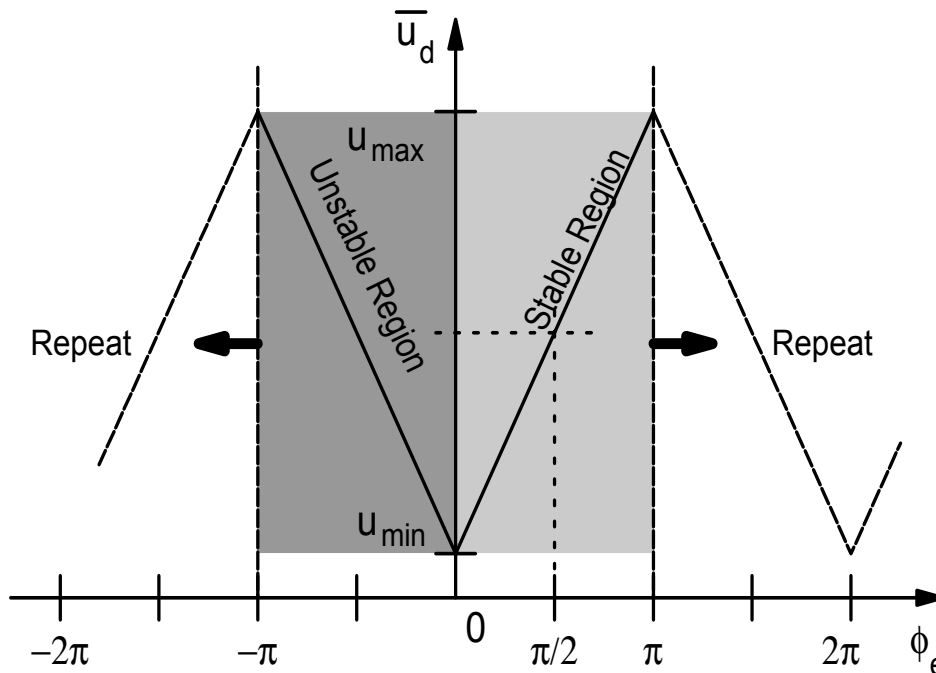
Ref	Div	Q
0	0	0
0	1	1
1	0	1
1	1	0

# EXOR PD im gelockten Zustand



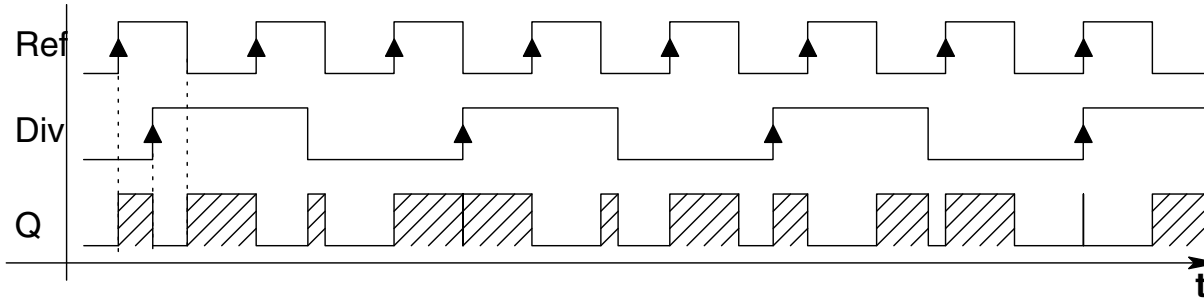
$$f_{ref} = f_{div}$$

$$\Rightarrow \overline{V_Q} = \underbrace{\frac{V_{max} - V_{min}}{\pi}}_{= K_\phi} \cdot |\phi_{ref} - \phi_{div}|$$



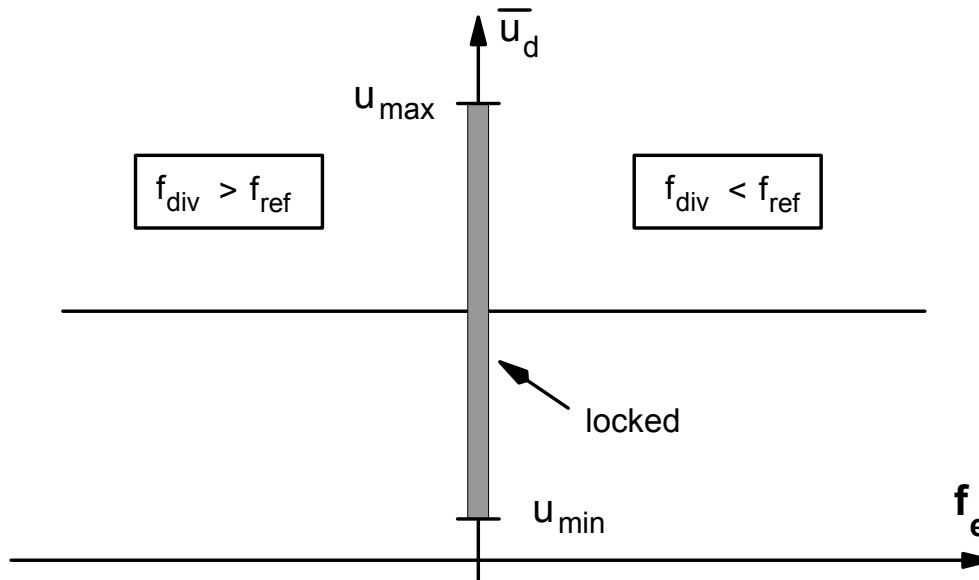
- PLL rastet automatisch ein im stabilen Bereich ( $K_\phi > 0$ )
- Q pulst mit  $2 f_{ref}$
- Q ist abhängig von Duty Cycle der Eingangssignale
- $K_\phi$  wird bestimmt durch Versorgungsspannung

# EXOR als Phasendetektor: Frequenzempfindlichkeit



$$f_{ref} \neq f_{div}$$

$$\Rightarrow \overline{V_Q} = \frac{V_{max} - V_{min}}{2}$$

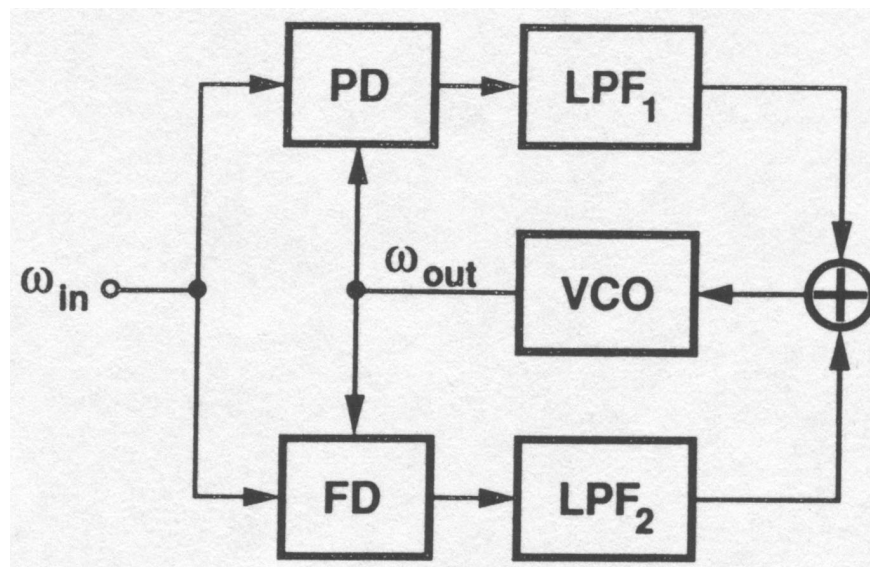


**EXOR arbeitet nur als PD,  
nicht als Frequenzdetektor**

**⇒ Nur enger Fangbereich!**

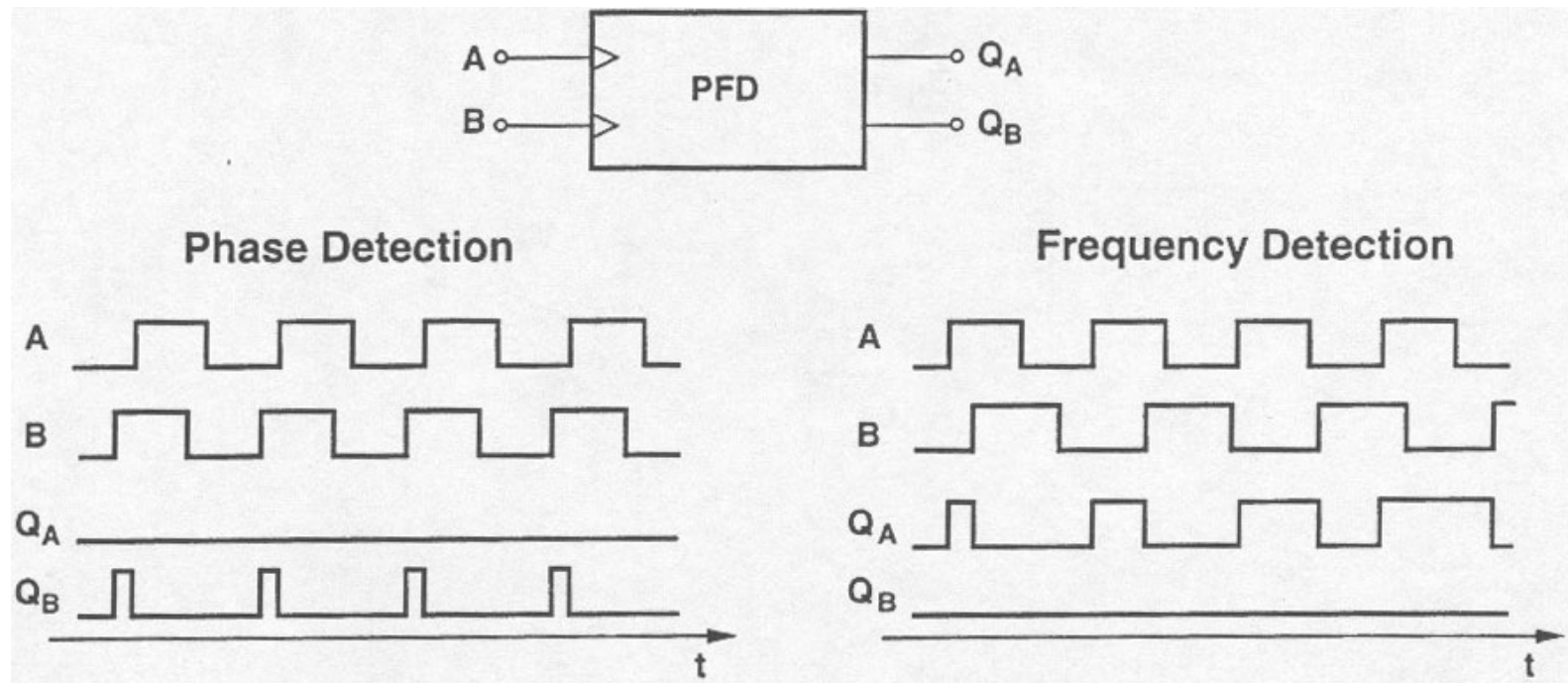
# „Aided Acquisition“ - Kombination von PD und FD

- Einrasten muss unter allen Umständen gewährleistet werden
- „Einrasthilfe“ durch kombinierten Phasendetektor / Frequenzdetektor (FD) oder durch getrennte Funktionsblöcke mit eigenen Loopfiltern
- Vorteil der getrennten Lösung: Unterschiedliche Zeitkonstanten / Bandbreiten für Einrastvorgang / gelockten Zustand möglich



# Kombinierter Phasen-Frequenz-Detektor (PFD)

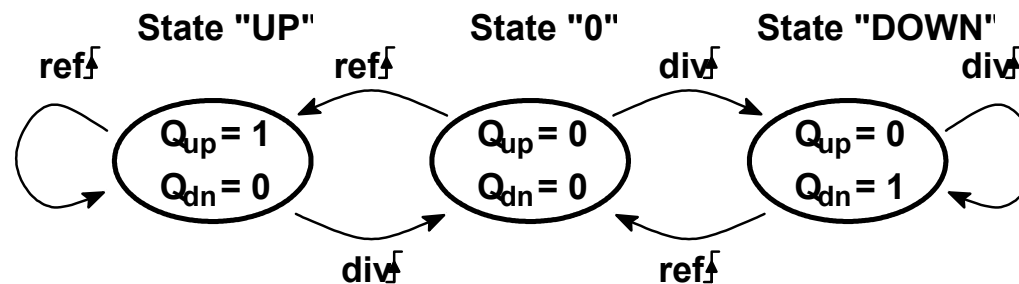
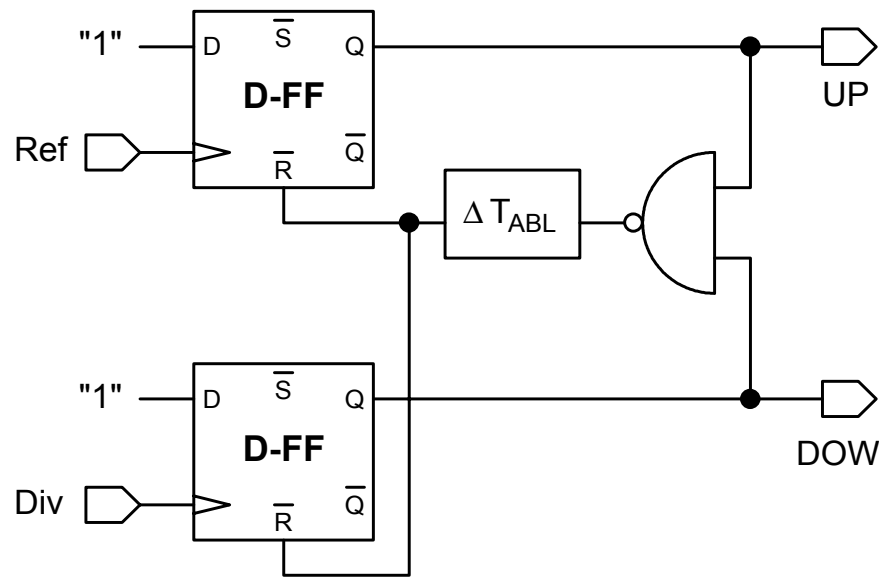
- „Gedächtnis“ notwendig um Bereich für den Phasenfehler zu erweitern auf  $-2\pi \dots +2\pi$  (oder mehr)
- Damit lassen sich auch Frequenzdetektoren realisieren



**Achtung:** PFD's sind ungeeignet für Clock-Data-Recovery: fehlende Flanken werden als Frequenzfehler interpretiert!

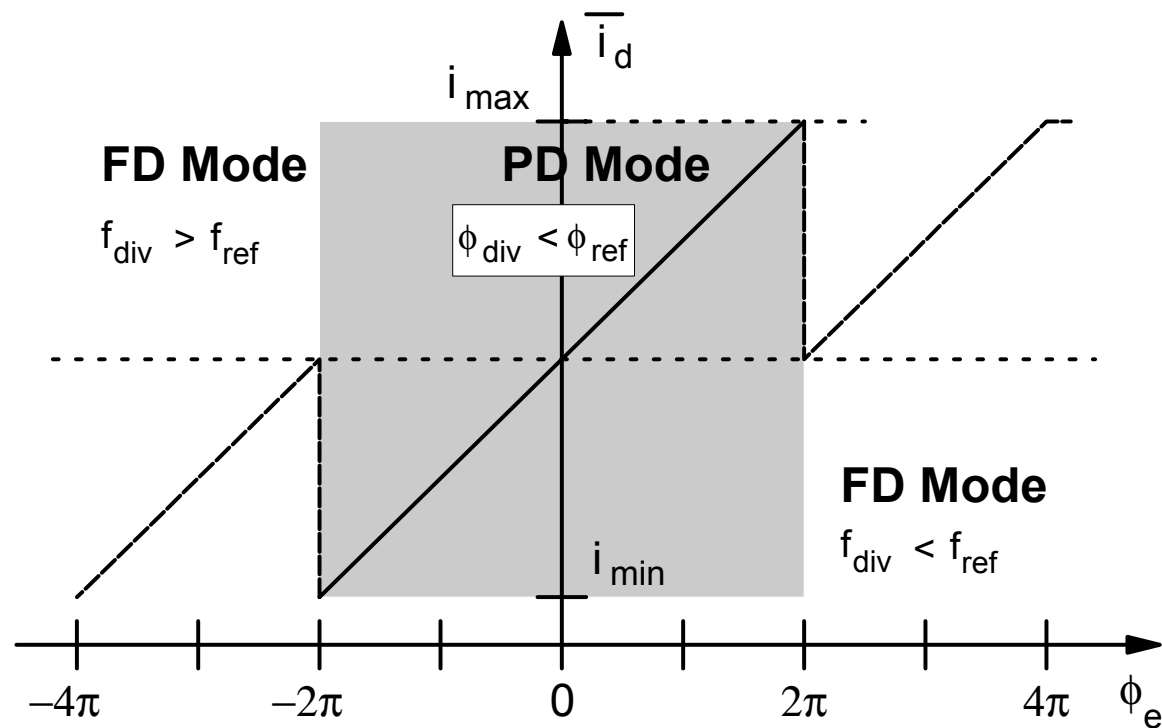
# Realisierung eines Phasen-Frequenzdetektors

- Einfache und effektive Realisierung mit 2 FF's:



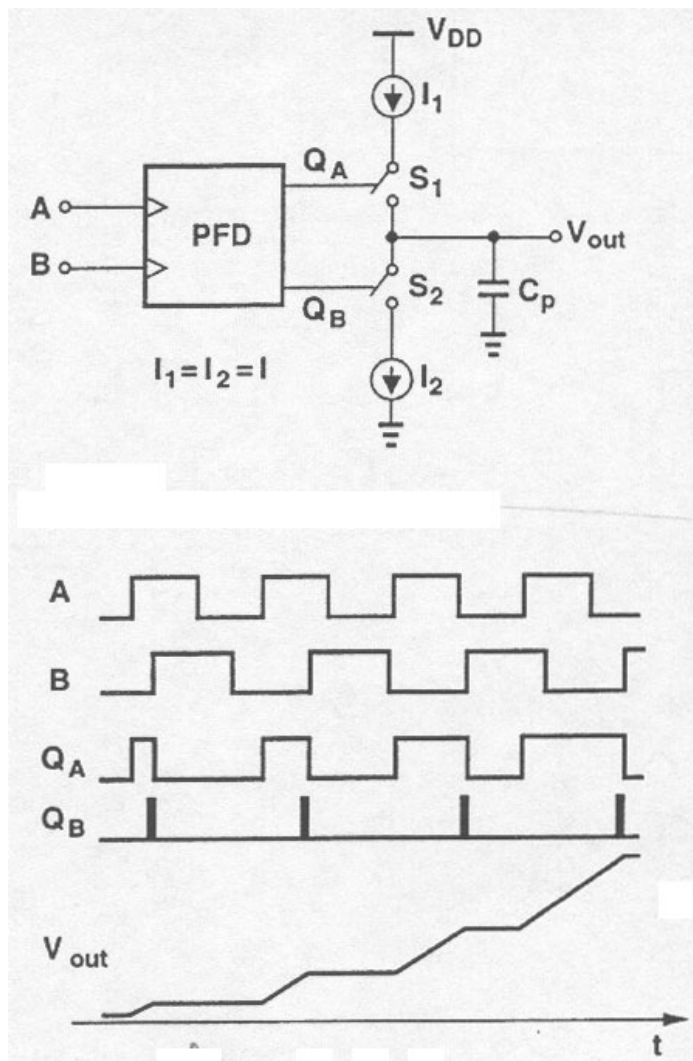
- Zwei Ausgänge anstatt einem: Wie wird Loop Filter angesteuert?

# PFD Charakteristik bei Phasen / Frequenzfehler



$$K_\phi = \frac{U_{up} - U_{down}}{4\pi} \quad \text{bzw.} \quad \frac{I_{up} - I_{down}}{4\pi}$$

# PFD + CP - (fast) idealer Integrator



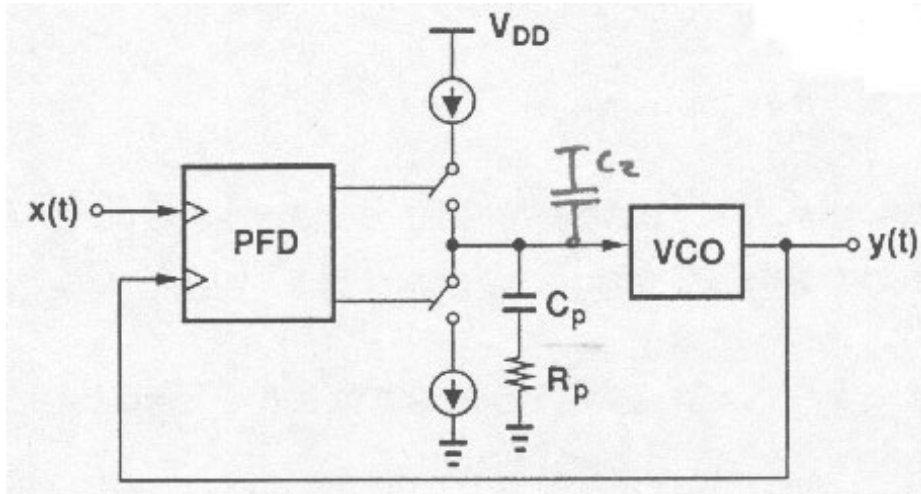
- Stromquelle und C ergeben fast idealen Integrator
- Gut zu implementieren in ICs: Transistoren sind gesteuerte Stromquellen
- $K_{\Phi}$  kann mit CP-Strom I in weiten Grenzen geändert werden
- Aber: PLL ist nicht stabil mit reinem Integrator als Loop Filter

$$V_{out}(t) = \frac{1}{C_p} \int_{-\infty}^t I(t) dt$$



$$V_{out}(t) = \Phi_e(s) \cdot \underbrace{\frac{2I}{4\pi}}_{K_{\Phi}} \frac{1}{sC_p}$$

# PFD + CP - stabile Implementierung



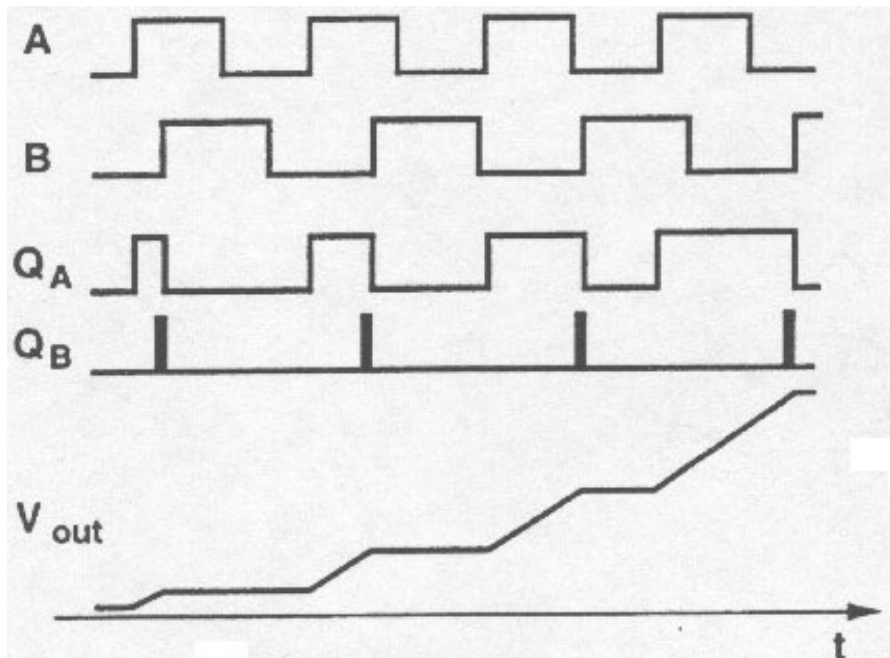
- Einfügen von  $R_p$  in Serie mit  $C_p$  bewirkt Null im Übertragungsgang:

$$V_{out}(t) = R_p I(t) + \frac{1}{C_p} \int_{-\infty}^t I(t) dt$$



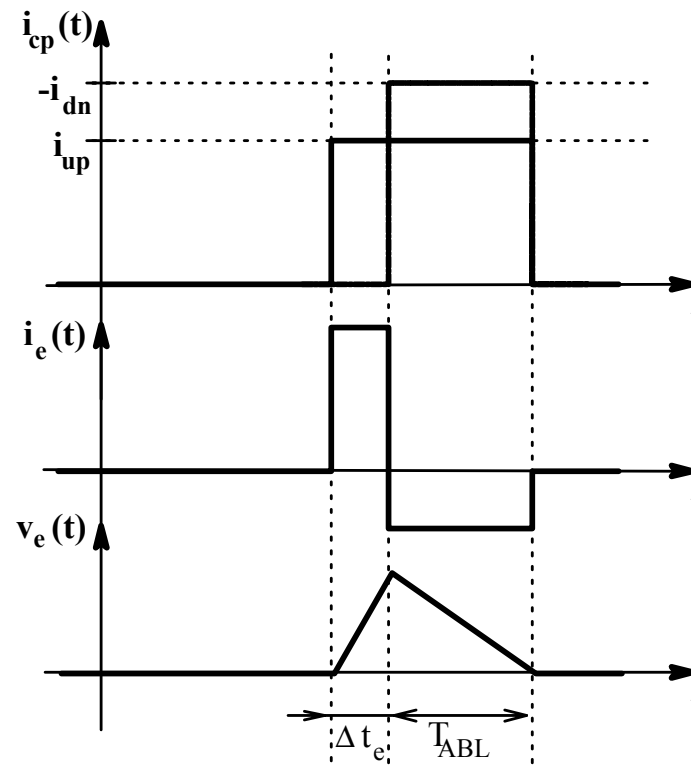
$$V_{out}(s) = \Phi(s) \cdot \underbrace{\frac{I_{CP}}{2\pi}}_{K_\Phi} \underbrace{\left( R_p + \frac{1}{sC_p} \right)}_{\text{Loop Filter}}$$

- $C_2$  verringert Ripple auf Loop Filter Spannung



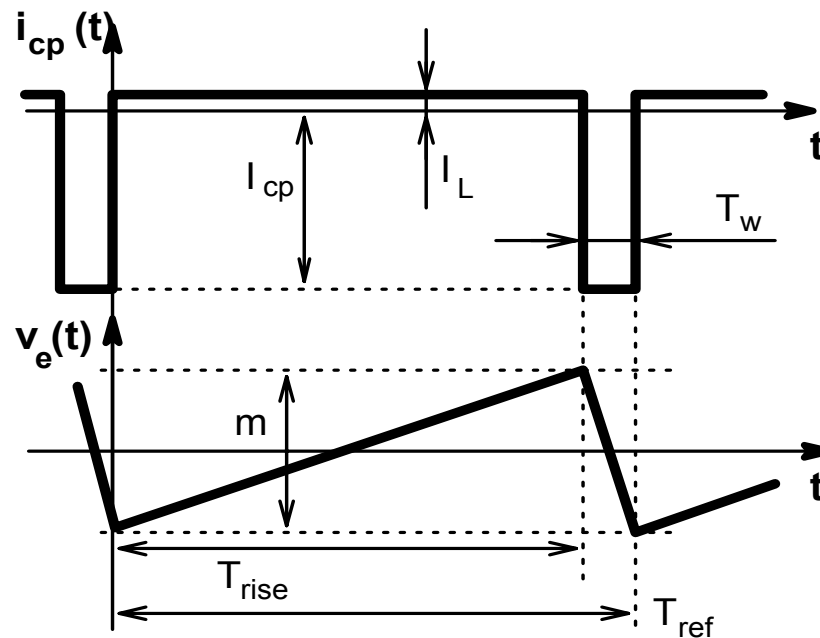
# Nicht-Idealitäten der Charge Pump (1)

- **Current Sink / Source Compliance:**  $I_{CP} = f(V_{LPF})$   
 $\Rightarrow K_{\phi} = f(V_{LPF})$ , PLL-Bandbreite und Stabilität ändert sich mit der VCO - Frequenz ( $= f(V_{LPF})$ )
- **Current Sink / Source Mismatch:**  $K_{\phi} = f(\Delta \phi)$   
 $\Rightarrow$  Spurious Sidebands, da auch im gelockten Zustand Ausgleichströme fließen



# Nicht-Idealitäten der Charge Pump (2)

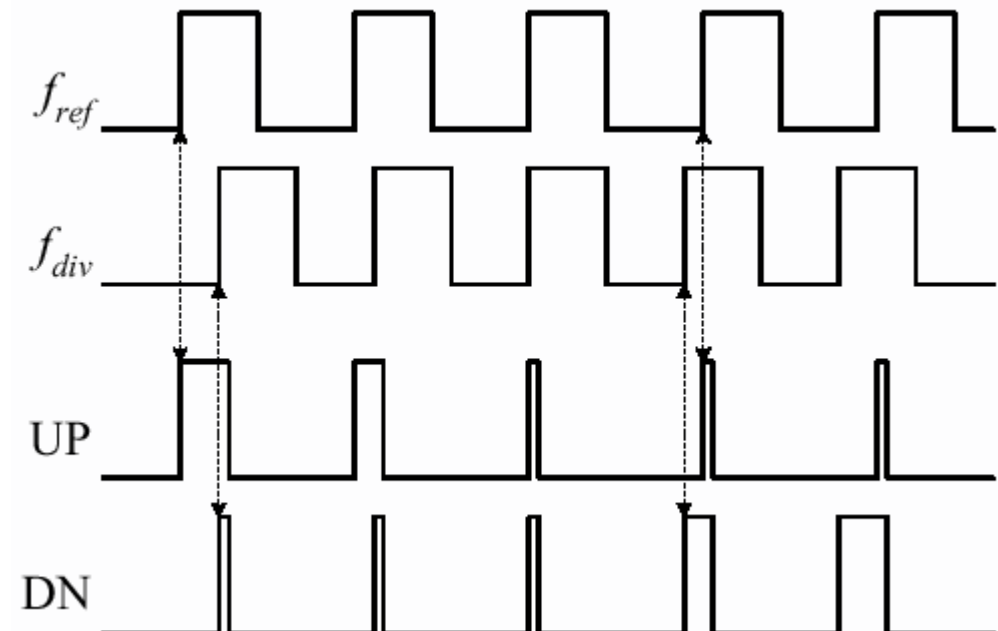
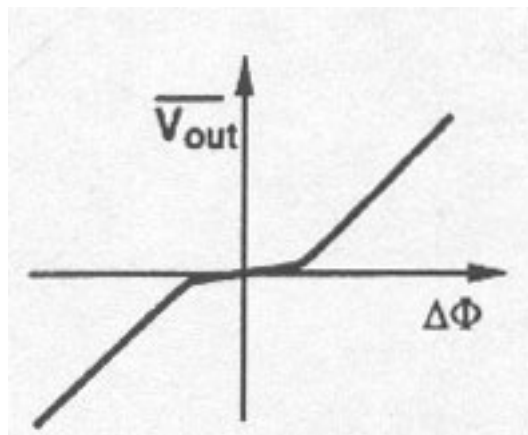
- Leckströme  $I_L$  in den Schaltern:  $I_{CP} = I_L + I_{CP}(PD)$**   
 **$\Rightarrow$  Spurious Sidebands, da integrierendes Loopfilter  $I_L$  in eine sägezahnförmige Spannung umwandelt**



# PFD / Charge Pump Design Probleme: Dead Zone

**Problem:** wg. zu kurzer Einschaltdauer von PFD / CP schalten Stromquellen bei  $\Delta\phi \approx 0$  nicht mehr richtig ein

- ⇒ **Regelschleife geöffnet um  $\Delta\phi \approx 0$**
- ⇒ **erhöhter Jitter**
- ⇒ **Gegenmaßnahme: garantiere minimale Einschaltdauer (ABL) von PFD / CP, schalte Up / Down Stromquelle gleichzeitig ein**



# Programmierbarer Frequenzteiler

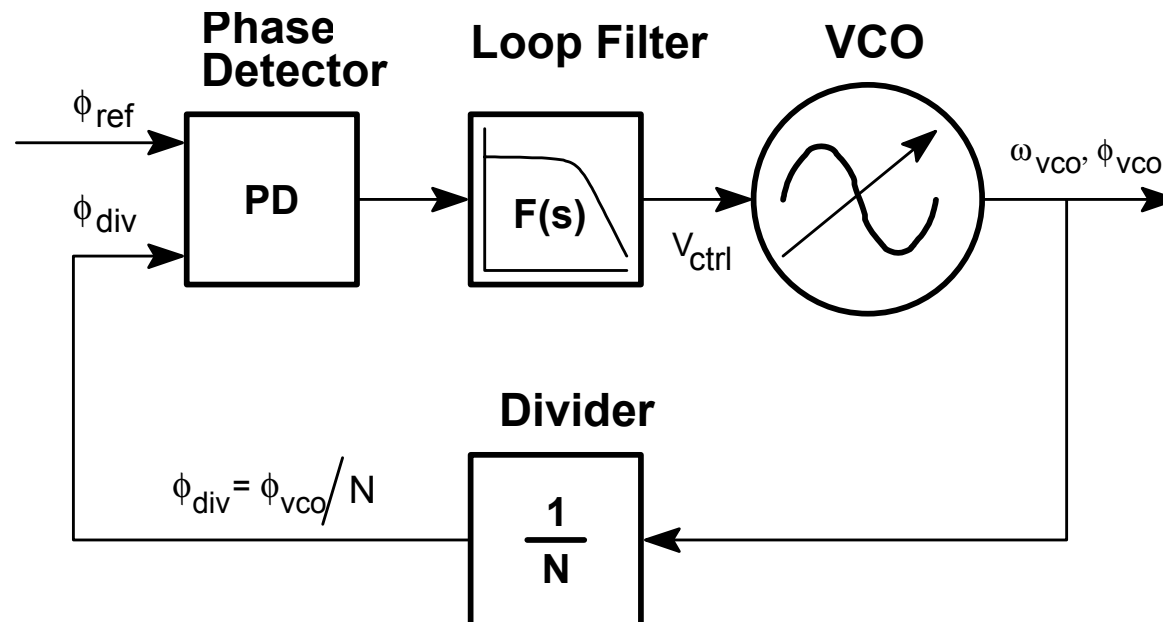
■ Aufgabe: Einstellung der Ausgangsfrequenz auf  $f_{VCO} = N \cdot f_{ref}$

■ Anforderungen:

→  $f_{max} > f_{VCO}$

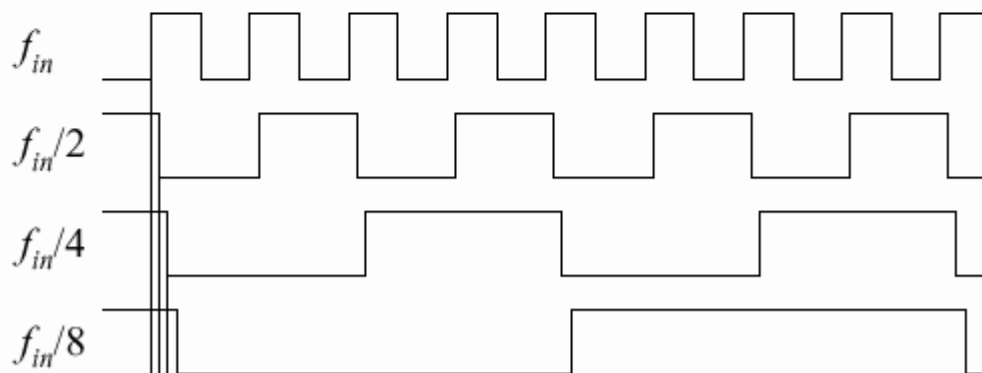
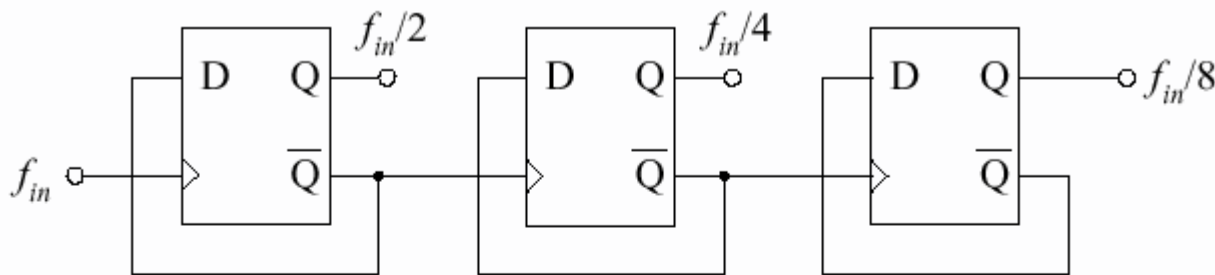
→ Teilverhältnis lückenlos von  $N_{min} \dots N_{max}$  einstellbar

→ Gutes Phasenrauschen



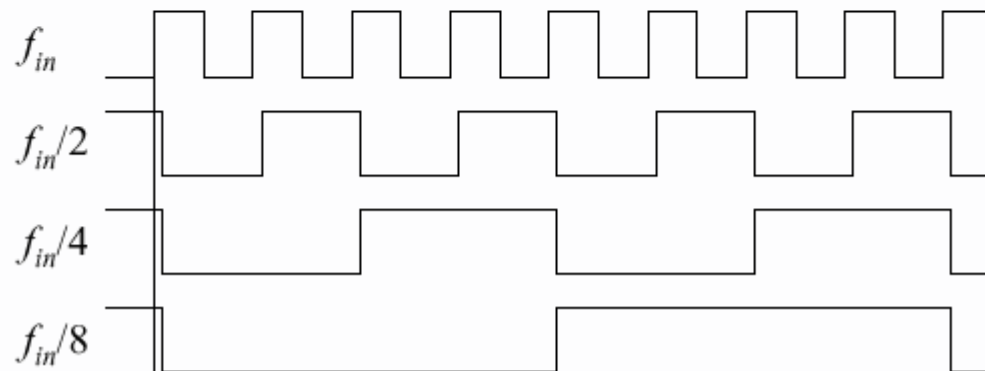
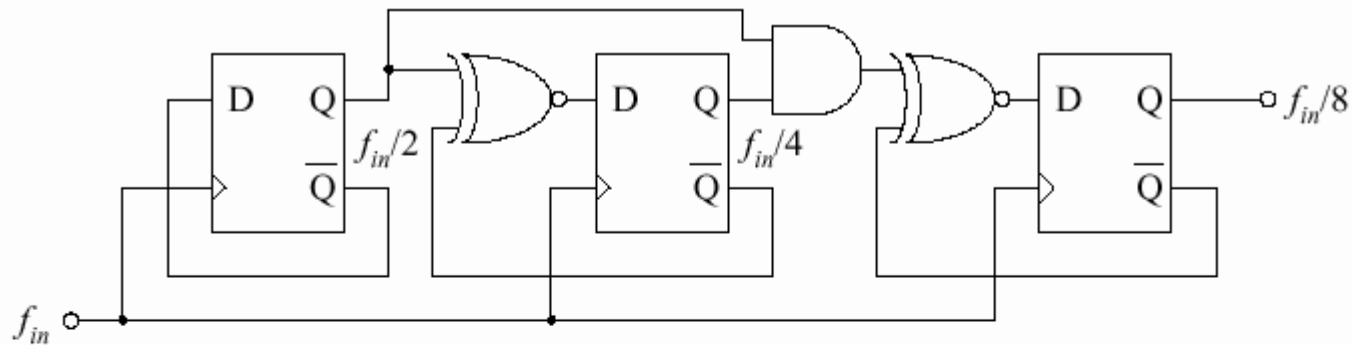
# Asynchroner Teiler

- „Ripple Counter“ - asynchron, kaum geeignet für schnelle, programmierbare Teiler (Glitches, Delays)
- Gut geeignet für stromsparende Zähler und  $\div 2^N$  - Teilerstufen
- Schlechte Phase Noise Performance (Jitter-Akkumulation)



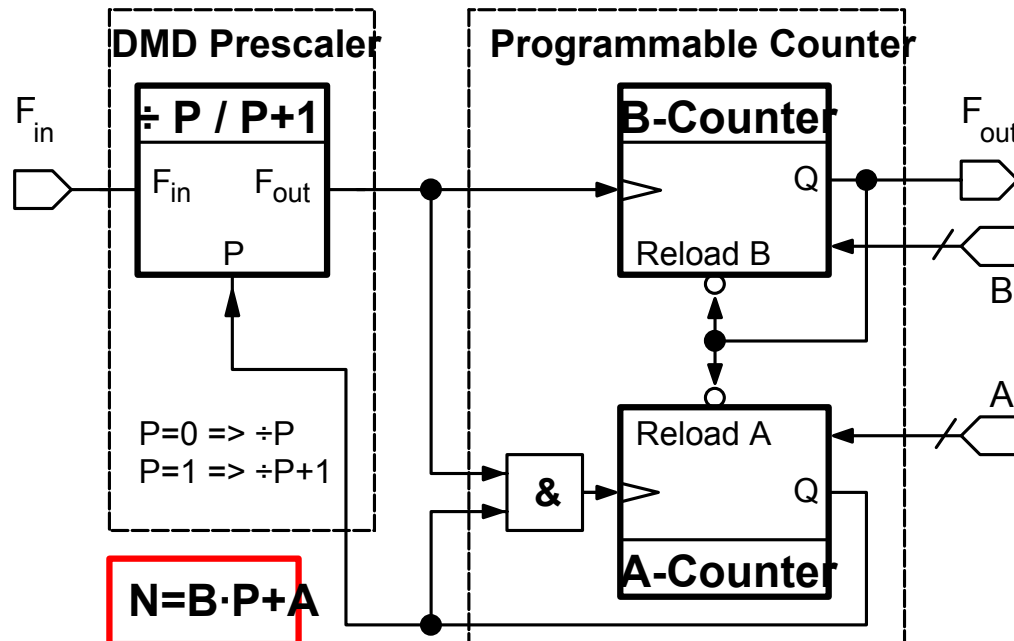
# Synchroner Teiler

- Alle FlipFlops arbeiten bei voller Eingangsfrequenz  
⇒ schnell, aber hoher Stromverbrauch
- Programmierbare Teiler meist implementiert als Rückwärtszähler mit parallelem Ladeeingang



# Dual- und Multi-Modulusteiler DMD / MMD (1)

- Ziel: Nur Prescaler  $\div P$  arbeitet mit voller Eingangsfrequenz, programmierbarer Teiler läuft nur mit  $f_{in} / P$
- Problem: Teilverhältnis läßt sich jetzt nur noch in groben Schritten einstellen:  $P \cdot N$ ,  $P \cdot (N+1)$ , ...
- Lösung: Prescaler wird zwischen 2 oder mehreren Teilverhältnissen umgeschaltet (Dual / Multi-Modulusteiler)



**Modulus = Teilverhältnis**

## Dual-Modulus-Teiler (2)

---

- **Prinzip:**

- Teile das Ausgangssignal des Prescalers durch B
- Innerhalb der B Zyklen wird der Prescaler für A Zyklen auf das Teilverhältnis P+1 umgeschaltet
- **Gesamtteilerverhältnis:**

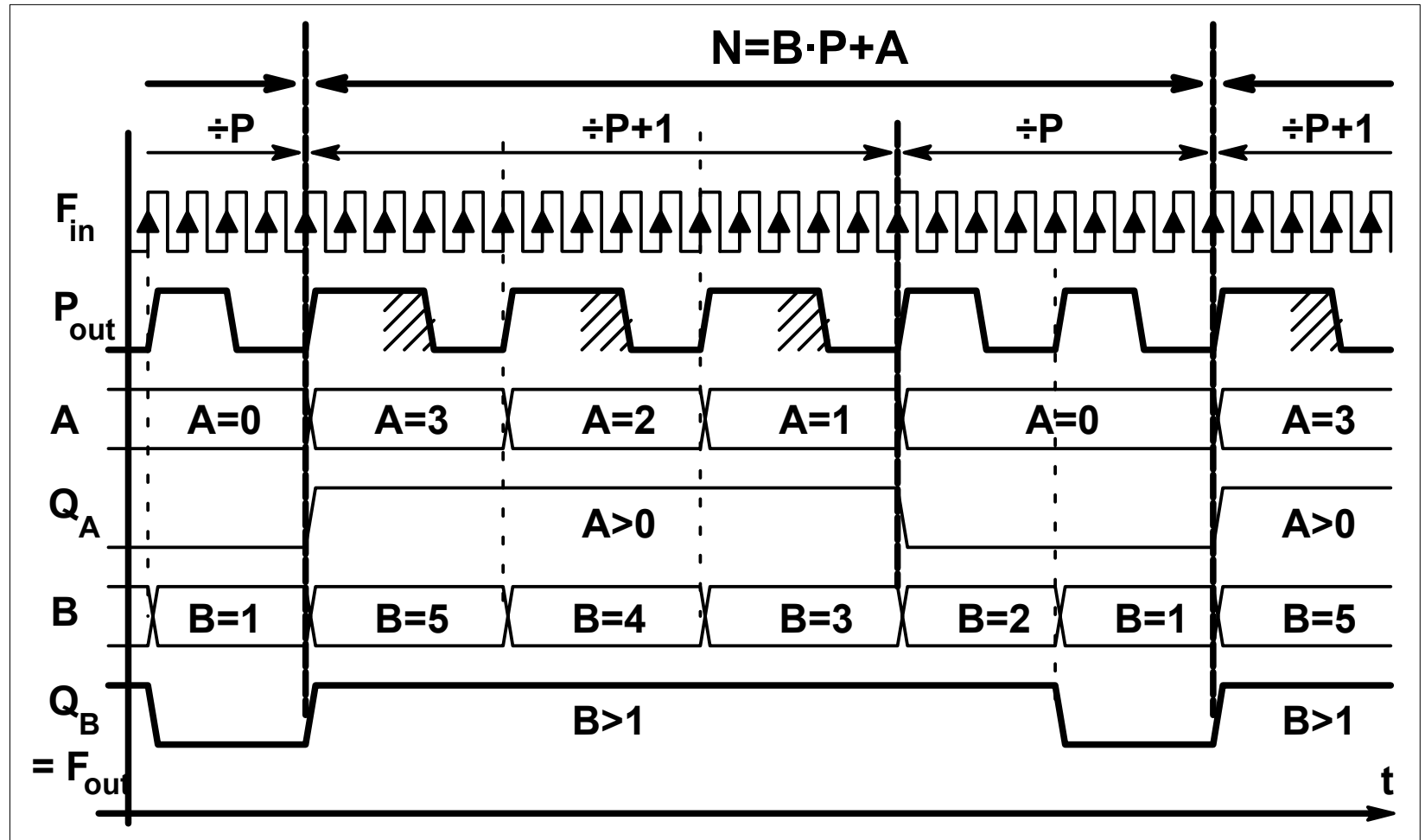
$$N = (B-A)P + A(P+1) = BP + A; \quad B > A$$

- **Lückenlose Teilerverhältnisse lassen sich programmieren für**

$$N \geq P^2 \quad \text{und} \quad B \geq N \quad \text{sowie} \quad B > A$$

- **Aber: Großes P wünschenswert, damit A- und B-Counter mit niedriger Frequenz laufen**

# Timing Diagram Dual Modulus Teiler

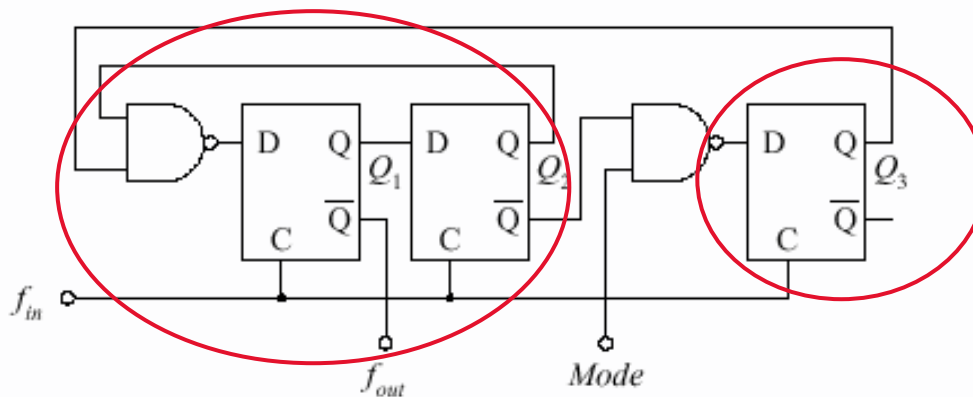


**Beispiel für  $P = 4$ ,  $B = 5$ ,  $A = 3 \Rightarrow N = 23$**

# Dual-Modulusteiler: $\div 4 / 5$ Prescaler

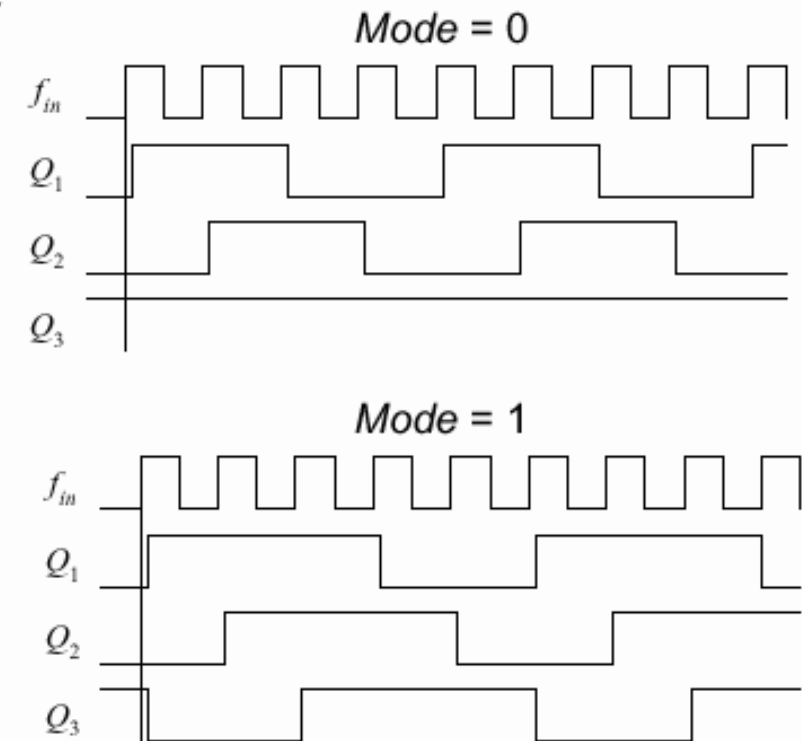
■ Building Block des Dual-Modulus Teilers ist ein 2/3 oder 4/5 Teiler:

- EX: Dual-modulus divide-by-4/5 prescaler



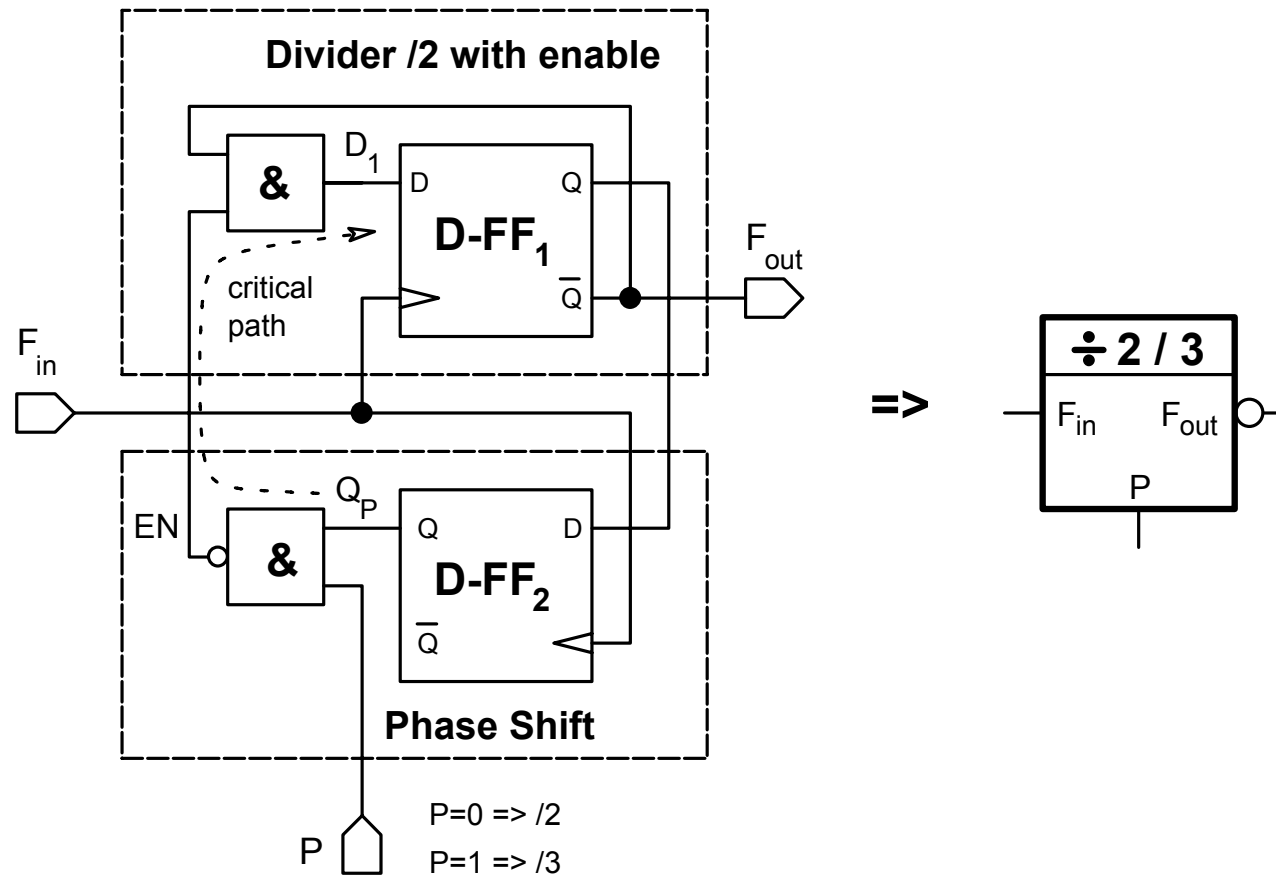
**Johnson-Counter**

**Phase Shift**

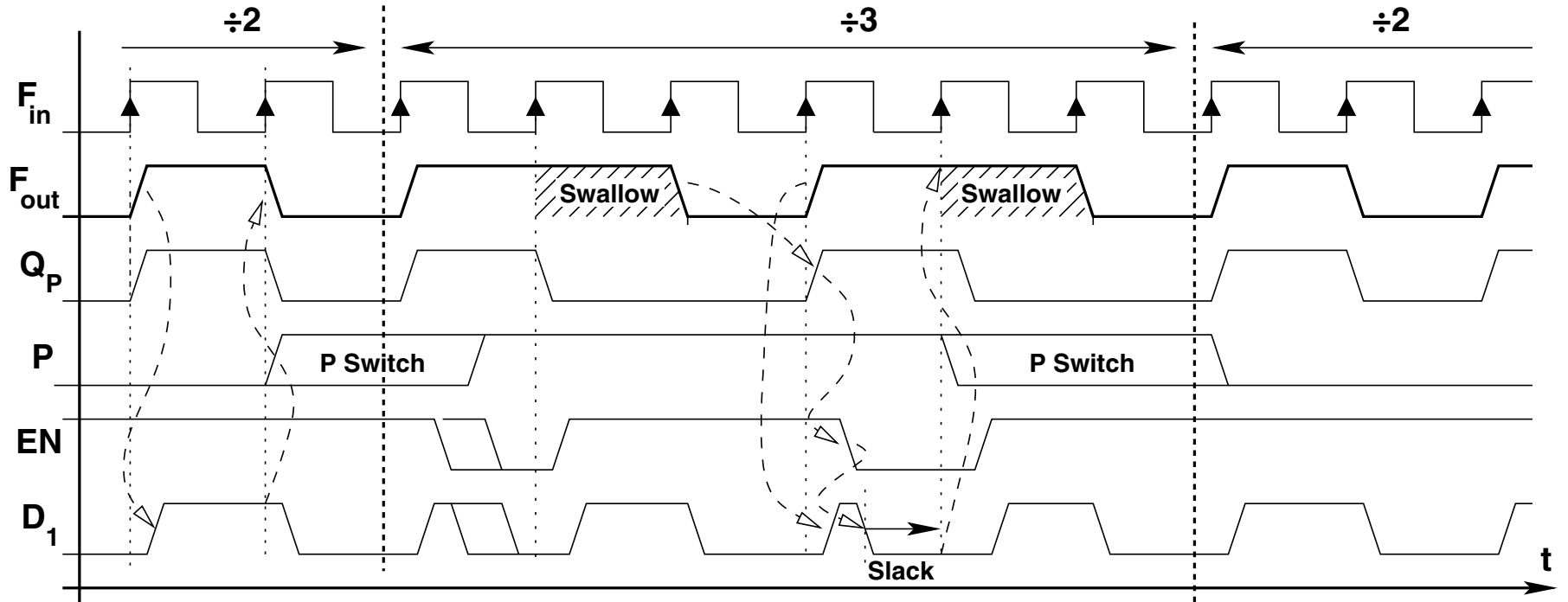


# Dual-Modulusteiler: $\div 2 / 3$ Prescaler

## ■ Building Block für fast alle Dual / Multimodulusteiler



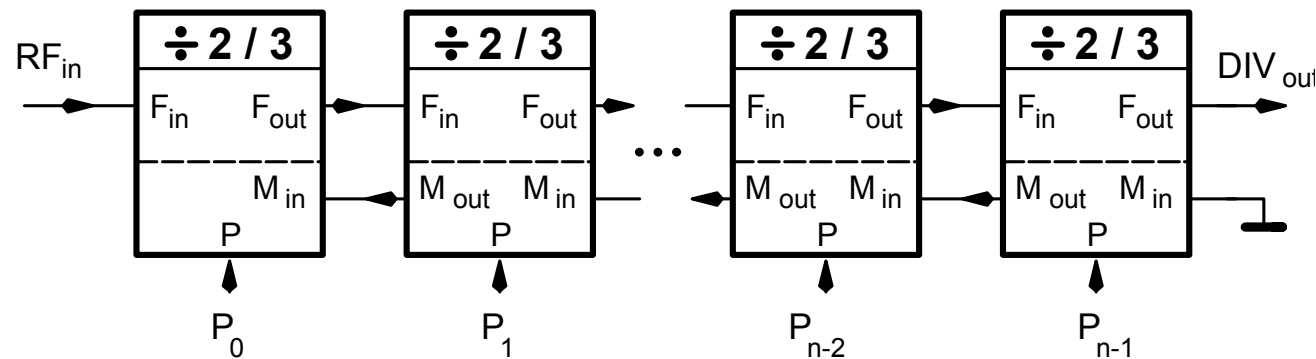
# Timing Diagram $\div 2 / 3$ Teiler





# Multi-Modulus Teiler

- **Problem:** kleine Teilverhältnisse lassen sich nur schwer mit Dual-Modulus Teilern erzielen
- **Lösung:** Kette von  $\div 2 / 3$  Teilern mit Modulussteuerung



$$N = 2^n + 2^{n-1} \cdot p_{n-1} + \dots + 2 \cdot p_1 + p_0$$

- **Modulussteuerung** bewirkt, dass in jedem Teilzyklus der  $\div 3$  Modus pro Stufe nur einmal aktiviert wird
- **Modulare und stromsparende Lösung**

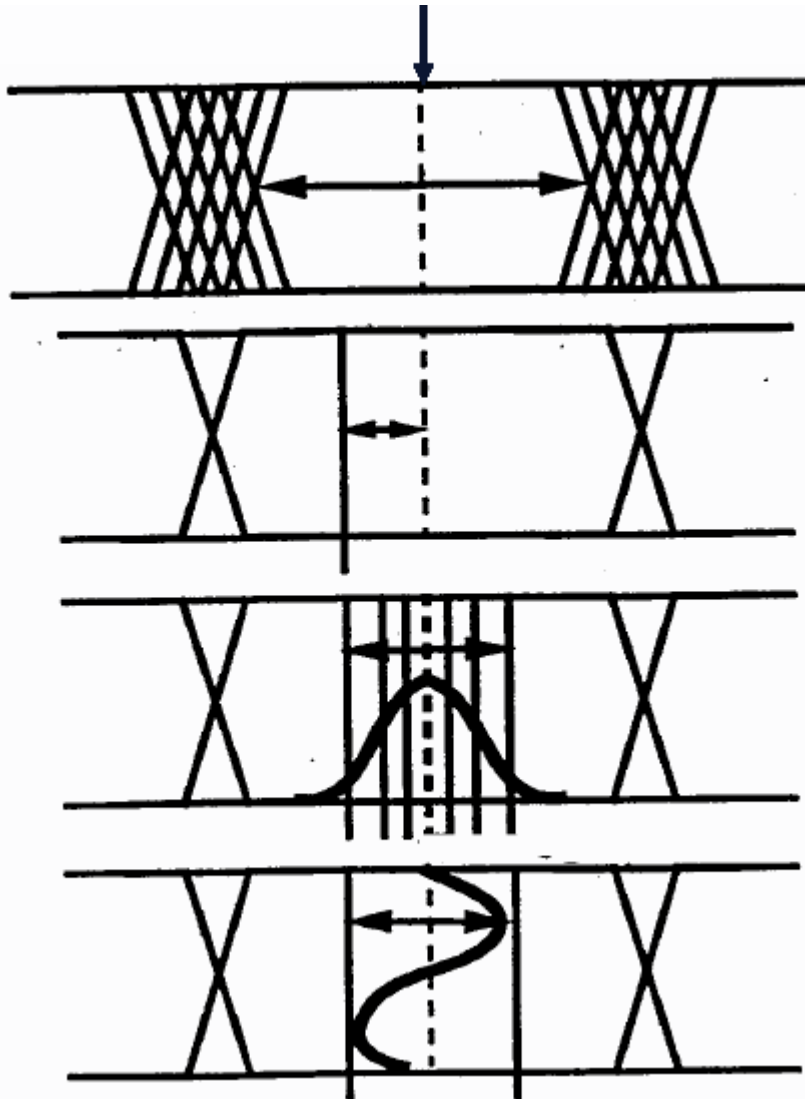
# Rauschen in PLLs

---

- PLL arbeitet mit „beinahe periodischen“ Signalen
- Abweichung von idealer Periodizität im gelockten Zustand durch deterministische oder zufällige Störsignale:
- Im Zeitbereich beschrieben als Jitter
- Im Frequenzbereich beschrieben als „Phase Noise“ und Nebenlinien („Spurious Sidebands“)
- Clock / Data Recovery Anwendungen: Jitter Spezifikationen
- Frequenzsynthese / FM-Mod. Und Demod. Anwendungen: Noise / Spurious - Spezifikationen
- Hauptauschquellen: Eingangs (Referenz) - Noise, VCO - Noise

# Rauschen in PLLs: Warum stört's (CDR)?

## Idealer Abtastzeitpunkt



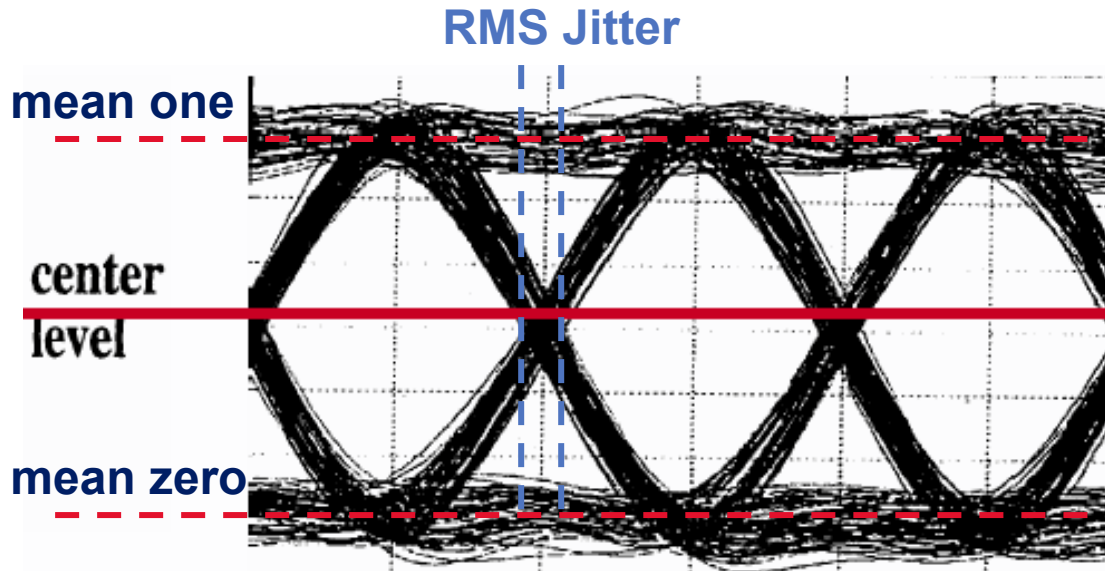
**Ziel: maximale „Augenöffnung“ -  
minimale Bit Error Rate (BER)**

**Statischer Phasenfehler der PLL**

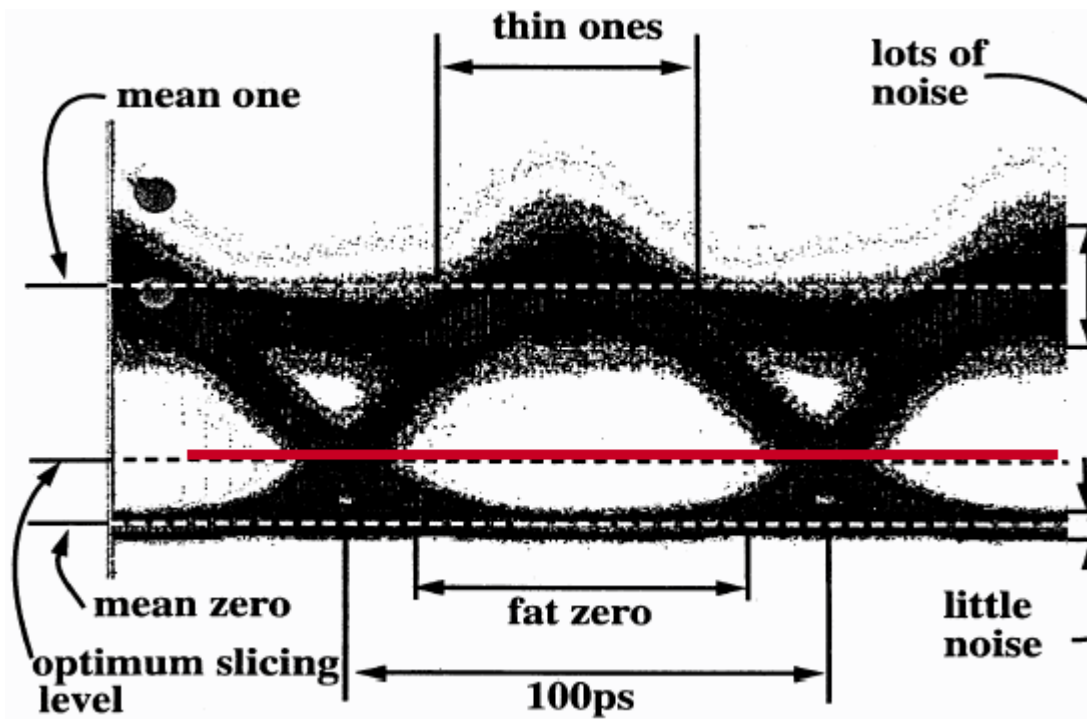
**Sampling Jitter der PLL**

**Trackingfehler der PLL (folgt der  
Eingangsphase nur langsam)**

# Clock & Data Recovery - Signaldegradierung

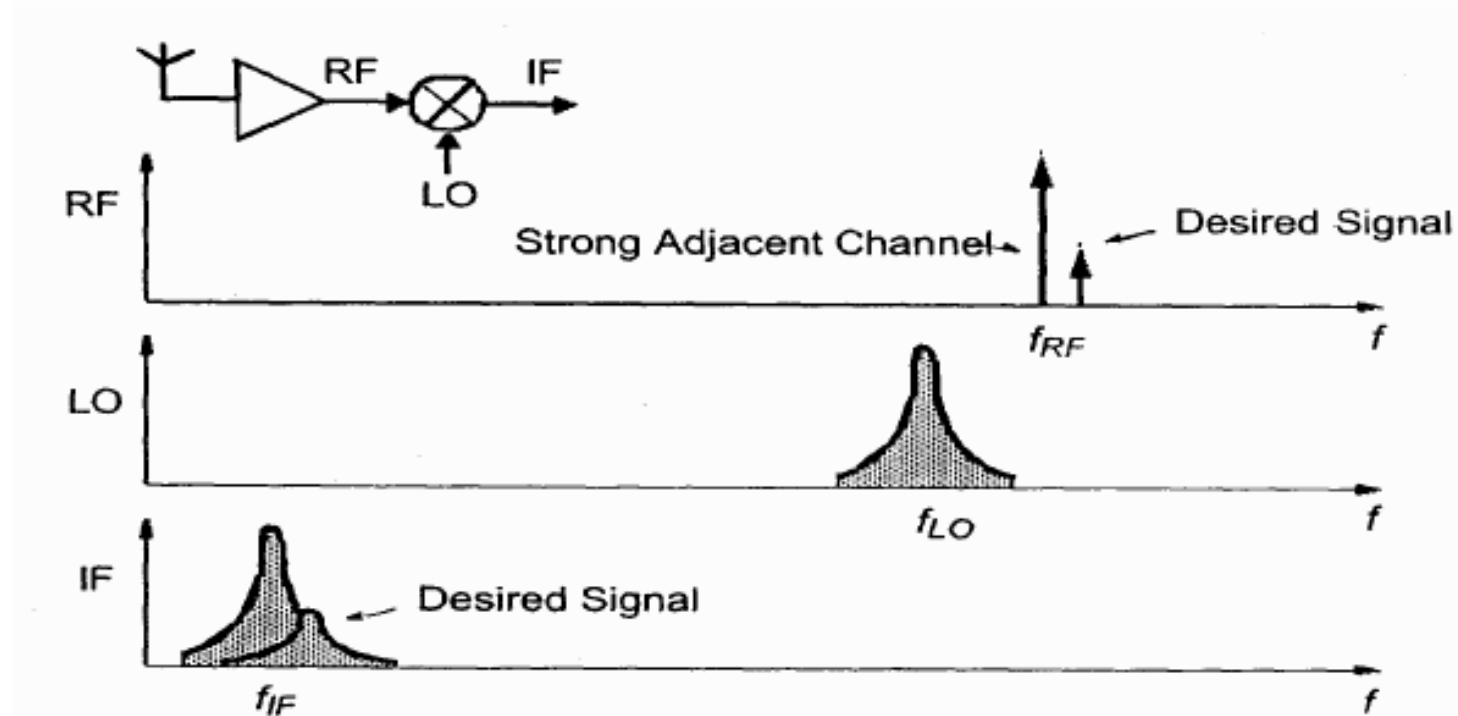


Optimales Augen-  
diagramm mit  
Random Jitter



Augendiagramm mit  
Random Jitter und  
Inter-Symbol  
Interferenz (ISI)

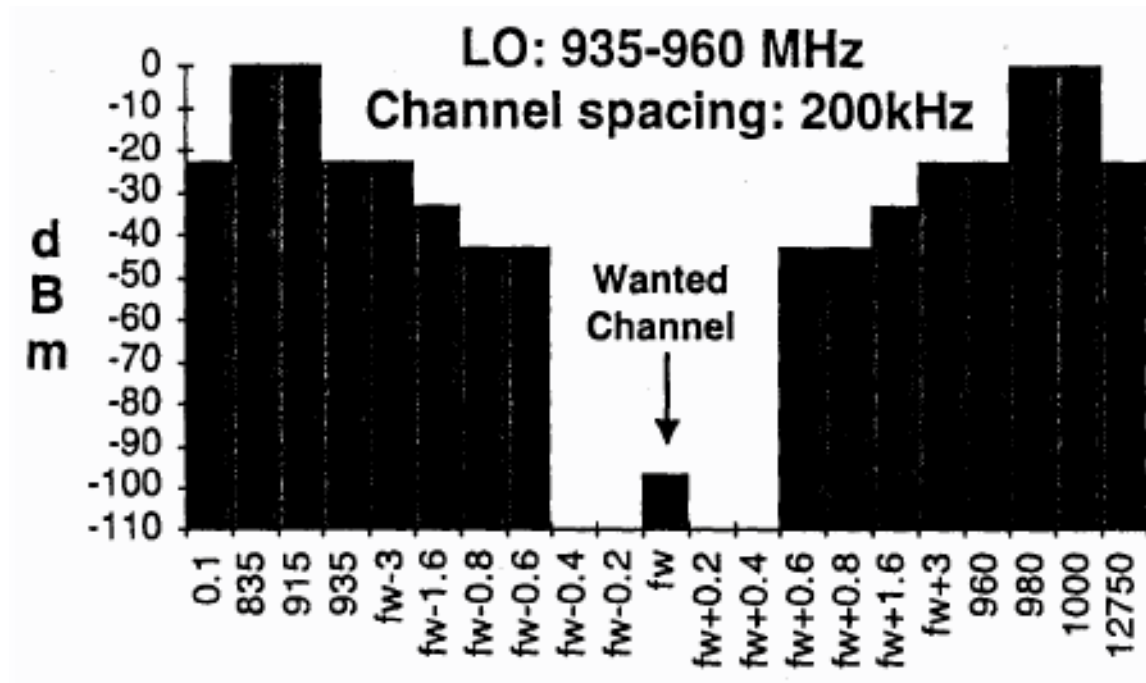
# Frequenzsynthesizer: Phase Noise im Empfangspfad



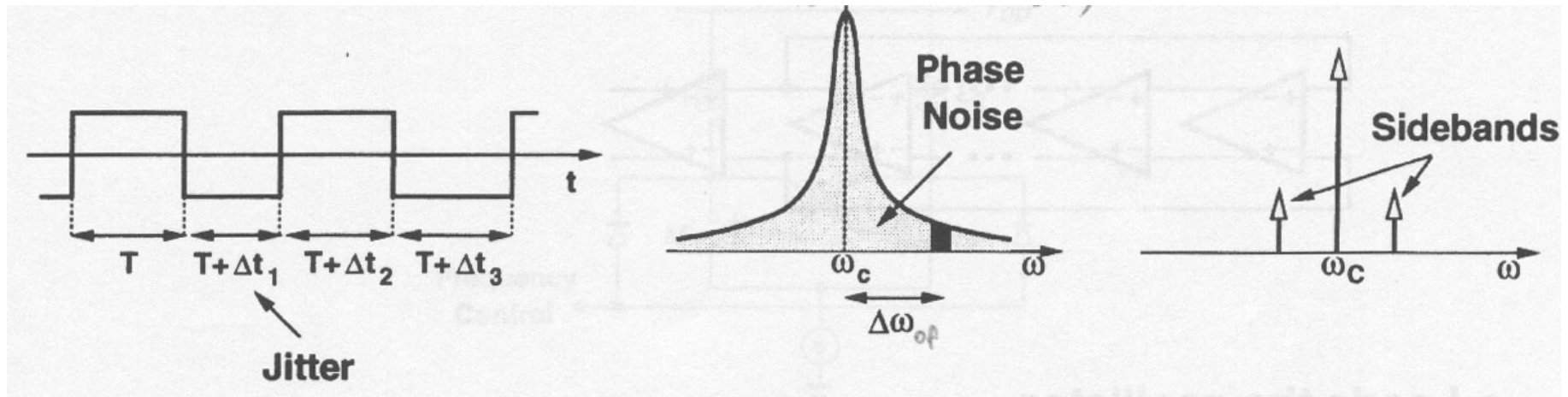
- Phase Noise des Frequenzsynthesizers (Local Oscillator, LO) kann sich mit Störsignalen mischen und so schwache Nutzsignale verdecken

# Frequenzsynthesizer: Phase Noise im Sende-Pfad

- Breitbandiges Phasenrauschen im Frequenzsynthesizer strahlt in Nachbarkanäle ab und stört so andere Empfänger



# Rauschen in PLLs: Jitter, Phase Noise und Sidebands



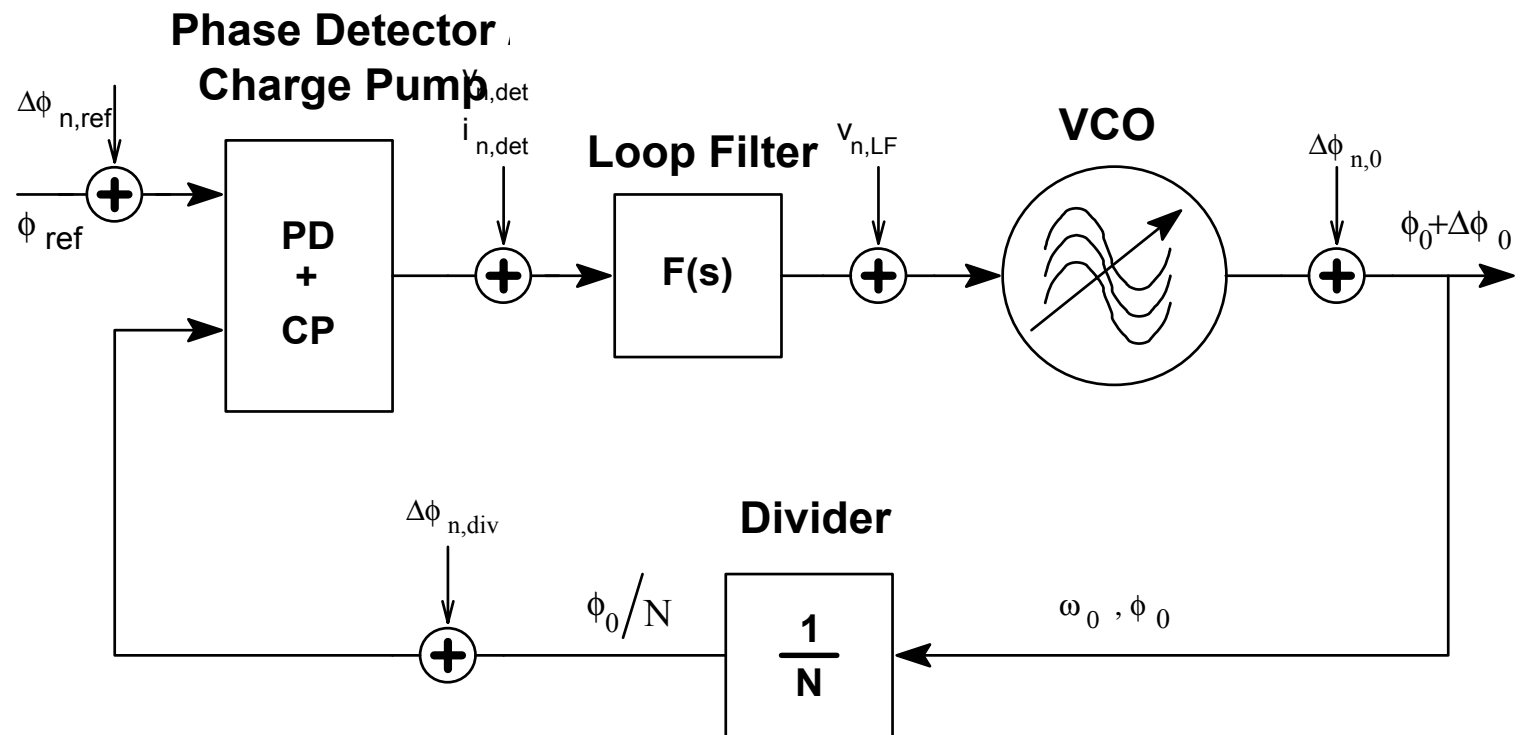
Christian Munker

1. Juli 2004

Page 45 of 51

# Rauschen in PLLs

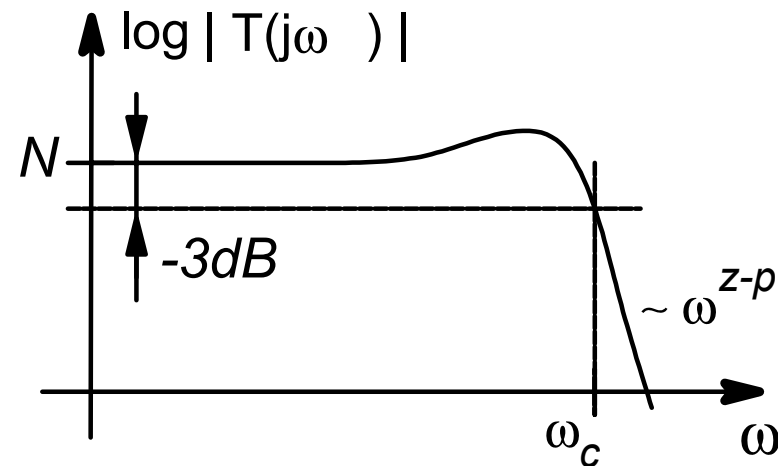
- Verschiedene Störquellen werden - bezogen auf den Ausgang - hochpass- oder tiefpass-bewertet:



# Rauschen in PLLs: Störungen am Eingang

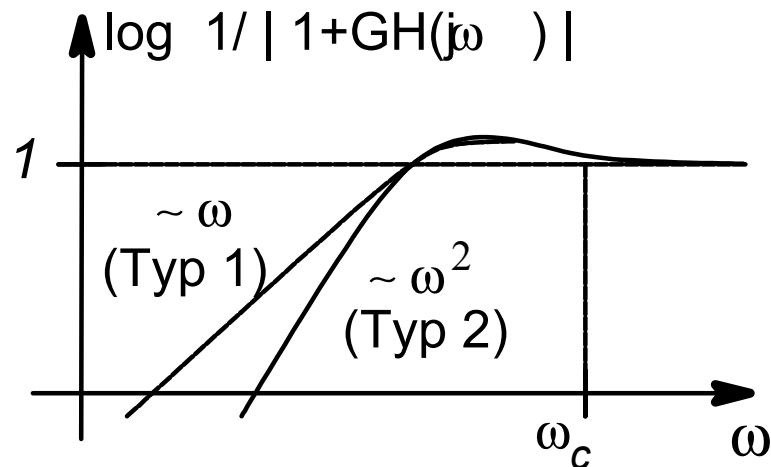
- „Eingang“ : fref, PD, Div
- Ausgang folgt langsamen Änderungen der Frequenz / Phase am Eingang -> Bandpasscharakteristik
- In-Band PN meist dominiert von Reference Noise

$$T(s) = \frac{N\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2}$$



# Rauschen in PLLs: VCO als Störquelle

- Niederfrequente Störungen / Jitter des VCOs werden ausgegeregelt, für hochfrequente Störungen ist die Schleife zu langsam
- Typ I PLL hat schlechtere Unterdrückung von niederfrequentem VCO Rauschen (Flicker Noise!) als Typ II

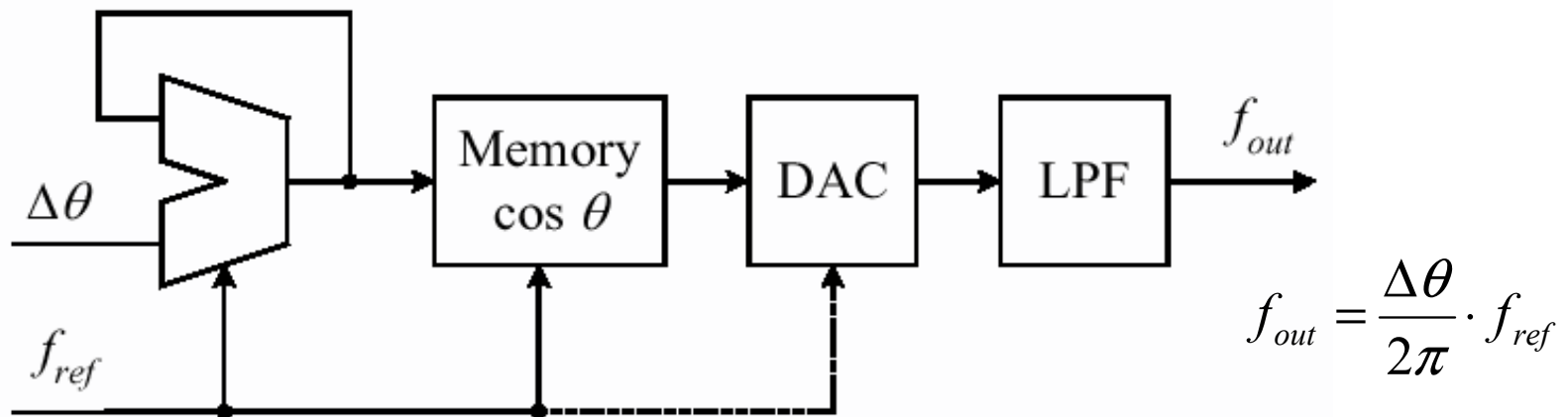


$$T(s) = \frac{s(s + \omega_1)}{s^2 + 2\zeta\omega_n + \omega_n^2} \rightarrow 1 \text{ für } s \rightarrow \infty$$

# Ausblick: Direct Digital Synthesis (DDS)

## Table Look-Up Synthesizer

- Sehr schnelle Frequenzsprünge möglich (ursprünglich Frequency Hopping in der Militärtechnik)
- DAC bestimmt Stromverbrauch, Grenzfrequenz und Seitenbänder, Referenzclock muss mindestens 2x höher sein als max. Ausgangsfrequenz (Nyquist!), daher ungeeignet für höchste Frequenzen, z.Z. < 1 GHz



# Fragen?

---



[Christian.Muenker@infineon.com](mailto:Christian.Muenker@infineon.com)

Christian Münker

1. Juli 2004

Page 50 of 51

# Fragen!

---

- Wie verhält sich der Phasenfehler bei einem Frequenzsprung bei Typ I / Typ II PLLs?
- Welche Oszillatoren werden in der Praxis als VCO eingesetzt? Was sind ihre Vor- und Nachteile?
- Nennen Sie Beispiele für die Implementierung von Phasendetektoren
- Welche Auswirkungen haben Leckströme in den Charge Pump Schaltern?
- Warum sollten die Schalter in der Charge Pump eine Mindesteinschaltdauer haben?
- Was ist ein Dual / Multimodulusteiler? Warum werden programmierbare Teiler bevorzugt als Dual / Multimodulusteiler aufgebaut?
- Wie wird Rauschen am PD Eingang und wie Eigenrauschen des VCOs von der PLL bewertet?
- Wieso wirkt sich Rauschen in der PLL schädlich in der Praxis aus?